

공개특허 세2002-1438호 (2002.09.12)



특 2002-0071438

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.
G11C 11/15(11) 공개번호 특2002-0071438
(43) 공개일자 2002년09월12일

(21) 출원번호	10-2001-0068366
(22) 출원일자	2001년11월03일
(30) 우선권주장	JP-P-2001-00060299 2001년03월05일 일본(JP)
(71) 출원인	미쓰비시엔카 가부시키가이샤
(72) 발명자	일본국 도쿄도 지요다구 마루노우치 2초메 2반 3고 히다카하데또
(74) 대리인	일본도쿄도지요다구마루노우찌2조메2-3미쓰비시엔카가부시키가이샤내 장수길, 구영창

설명문 구조

(54) 전기 저항치 변화에 따른 데이터를 기억하는 데이터 판독마진이 큰 기억 장치

설명

본원 발명은 행렬형으로 배치된 메모리 셀 MC의 행에 각각 대응하고, 판독 워드선 RD와 배치되어, 열에 각각 대응하여 비트선 BL 및 기준 전압 배선 SL이 배치된다. 데이터 판독 전류 Is는 데이터 판독 회로 (52a)로부터 판독 기준 전압 Vss 사이에, 데이터 버스 DB, 컬럼 선택 게이트 CSG, 비트선 BL, 기준 전압 배선 SL을 통해 형성되는 선택 메모리 셀을 통과하는 전류 경로를 흐른다. 데이터 판독 회로는 데이터 판독 전류에 의해 선택 메모리 셀에 생기는 전압 변화를 감지하여 판독 데이터 DOUT을 출력한다. 비트선 BL 및 기준 전압 배선 SL 중의 전류 경로에 포함되는 부분의 전기 저항치의 합은, 선택 메모리 셀이 속하는 행에 의존하지 않고, 거의 일정치가 되도록 설정되는 것을 특징으로 한다.

설명

설명

설명

박막 자성체, 저소비 전력, 기억 장치, 데이터 레벨, 판독 워드선, 기입 워드선, NTJ 메모리 셀, 고정 자기용, 자유 자기용

설명

설명

도 1은 본 발명의 실시예 1에 따른 MRAM 디바이스의 전체 구성을 나타내는 개략 블록도.

도 2는 실시예 1에 따른 메모리 어레이 및 그 주변 회로의 데이터 판독에 관련된 구성을 상세히 설명하기 위한 도면.

도 3은 실시예 1에 따른 비트선 및 기준 전압 배선의 배치예를 나타내는 구조도.

도 4는 메모리 셀에 대한 데이터 판독 및 데이터 기입 동작을 설명하는 타이밍차트.

도 5는 프리치지 전압을 점지 전압으로 한 경우에서의 데이터 판독 및 데이터 기입을 설명하는 타이밍차트.

도 6은 실시예 1의 변형에 1에 따른 메모리 어레이 및 그 주변 회로의 데이터 판독에 관련된 구성을 상세히 설명하기 위한 도면.

도 7은 실시예 1의 변형에 2에 따른 메모리 어레이 및 그 주변 회로의 데이터 판독에 관련된 구성을 상세히 설명하기 위한 도면.

도 8은 실시예 2에 따른 메모리 어레이 및 그 주변 회로의 데이터 판독에 관련된 구성을 상세히 설명하기 위한 도면.

도 9는 실시예 2의 변형에 1에 따른 메모리 어레이 및 그 주변 회로의 데이터 판독에 관련된 구성을 상세히 설명하기 위한 도면.

도 10은 실시예 2의 변형에 2에 따른 메모리 어레이 및 그 주변 회로의 데이터 판독에 관련된 구성을 상세히 설명하기 위한 도면.

도 11은 실시예 3에 따른 메모리 어레이 및 그 주변 회로의 데이터 판독에 관련된 구성을 상세히 설명하

BEST AVAILABLE COPY

특 2002-0071438

기 위한 도면.

도 12는 본 발명의 실시예 4에 따른 MRAM 디바이스의 데이터 판독에 관련된 구성을 나타내기 위한 도면.

도 13은 다이오드를 이용한 MTJ 메모리 셀의 제1 구성예를 나타내는 개략도.

도 14는 도 13에 도시한 MTJ 메모리 셀을 반도체 기판 상에 배치한 경우의 구조도.

도 15는 다이오드를 이용한 MTJ 메모리 셀의 제2 구성예를 나타내는 개략도.

도 16은 도 15에 도시한 MTJ 메모리 셀을 반도체 기판 상에 배치한 경우의 구조도.

도 17은 본 발명의 실시예 5에 따른 메모리 어레이 및 그 주변 회로의 데이터 판독에 관련된 구성을 상세히 설명하기 위한 도면.

도 18은 본 발명의 실시예 5의 변형에 1에 따른 메모리 어레이 및 그 주변 회로의 데이터 판독에 관련된 구성을 상세히 설명하기 위한 도면.

도 19는 본 발명의 실시예 5의 변형에 2에 따른 메모리 어레이 및 그 주변 회로의 데이터 판독에 관련된 구성을 상세히 설명하기 위한 도면.

도 20은 자기 터널 결합부를 갖는 메모리 셀의 구성을 나타내는 개략도.

도 21은 MTJ 메모리 셀에서의 데이터 판독 동작을 설명하는 개념도.

도 22는 MTJ 메모리 셀에 대한 데이터 기입 동작을 설명하는 개념도.

도 23은 MTJ 메모리 셀에 대한 데이터 기입 시에서의 데이터 기입 전류의 방향과 자계 방향의 관계를 설명하는 개념도.

도 24는 반도체 기판 상에 배치된 MTJ 메모리 셀의 구조도.

도 25는 행렬형으로 집적 배치된 MTJ 메모리 셀에 대한 데이터 판독 전류의 공급을 설명하는 블록도.

도 26은 감지 전류 공급 회로의 일반적인 구성을 나타내는 블록도.

<도면의 주요 부분에 대한 부호의 설명>

10 : 메모리 어레이

20 : 행 디코더

25 : 열 디코더

30 : 워드선 드라이버

50, 60 : 판독/기입 제어 회로

64 : 액세스 트랜지스터

52a, 52b, 53 : 데이터 판독 회로

ATR, DATR : 액세스 트랜지스터

DM, DOM : 액세스 디아이오드

8L : 비트선

CSG : 커링 선택 게이트

CSL : 커링 선택선

SL : 기준 전압 배선

SLd : 더미 기준 전압 배선

FL : 자유 자기층

VL : 고정 자기층

RWI : 워드 드라이버

RWL : 판독 워드선

WIL : 기입 워드선

D8P : 데이터 버스쌍

DB, /DB : 데이터 버스

GDBP : 글로벌 데이터 버스쌍

GDB, /GDB : 글로벌 데이터 버스

LDBP : 로컬 데이터 버스쌍

LDB, /LDB : 로컬 데이터 버스

MTJ : 자기 터널 결합부

2002-0071438

DMTJ : 더미 기억부
 SDB : 의사 데이터 버스
 SDDB : 의사 더미 데이터 버스
 SGDB : 의사 글로벌 데이터 버스

조명의 산생과 쇠흥

조명의 특징

조명이 속하는 기술분야 및 그 분야의 주제기술

본 발명은 기억 장치에 관한 것으로, 보다 구체적으로는, 박막 자성체 기억 장치로 대표되는, 기억 데이터의 데이터 레벨에 따라 다른 전기 저항치를 갖는 메모리 셀을 구비한 기억 장치에 관한 것이다.

저소비 전력으로 불휘발성 데이터의 기억이 가능한 기억 장치로서, MRAM (Magnetic Random Access Memory) 디바이스가 주목받고 있다. MRAM 디바이스는 반도체 접적 회로에 형성된 복수의 박막 자성체를 이용하여 불휘발성 데이터 기억을 행하고, 박막 자성체의 각각에 대하여 턴업 액세스가 가능한 기억 장치이다.

특히, 최근에는 자기 터널 접합(MTJ: Magnetic Tunnel Junction)을 이용한 박막 자성체를 메모리 셀로서 이용함으로써, MRAM 장치의 성능이 비약적으로 진보한다는 것이 발표되어 있다. 자기 터널 접합을 갖는 메모리 셀을 구비한 MRAM 디바이스에 관해서는, 'A 10ns Read and Write Non-Volatile Memory Array, Using a Magnetic Tunnel Junction and FET Switch in each Cell', ISSCC Digest of Technical Papers, TA7.2, Feb. 2000. 및 'Non-volatile RAM based on Magnetic Tunnel Junction Elements', ISSCC Digest of Technical Papers, TA7.3, Feb. 2000. 등의 기술 문헌에 개시되어 있다.

도 20은 자기 터널 접합부를 갖는 메모리 셀(이하 간단히 MTJ 메모리 셀이라고 할)의 구성을 나타내는 개략도이다.

도 20을 참조하면, MTJ 메모리 셀은 기억 데이터의 데이터 레벨에 따라 저항치가 변화하는 자기 터널 접합부 MTJ와, 액세스 트랜지스터 ATR을 구비한다. 액세스 트랜지스터 ATR은 전계 효과 트랜지스터로 형성되며, 자기 터널 접합부 MTJ와 접지 전압 Vss 사이에 결합된다.

MTJ 메모리 셀에는, 데이터 기입을 지시하기 위한 기입 웨드선 FL과, 데이터 판독을 지시하기 위한 판독 웨드선 RL과, 데이터 판독 시 및 데이터 기입 시에 기억 데이터의 레벨에 대응한 전기 신호를 전달하기 위한 데이터선인 비트선 BL이 배치된다.

도 21은 MTJ 메모리 셀로부터의 데이터 판독 동작을 설명하는 개념도이다.

도 21을 참조하면, 자기 터널 접합부 MTJ는 일정 방향의 고정 자계를 갖는 자성체를(이하, 간단히 고정 자기층이라고 할) FL과, 자유 자계를 갖는 자성체를(이하, 간단히 자유 자기층이라고 할) VL을 갖는다. 고정 자계를 FL과 자유 자기층 VL 사이에는, 절연체막으로 형성되는 터널 배리어 TB가 배치된다. 자유 자기층 VL에서는, 기억 데이터의 레벨에 따라, 고정 자기층 FL과 동일 방향의 자계 및 고정 자기층 FL과 다른 방향의 자계 중 어느 한쪽이 불휘발성적으로 기입되어 있다.

데이터 판독 시에는 액세스 트랜지스터 ATR이 판독 웨드선 RL의 활성화에 따라 터온된다. 이에 따라, 비트선 BL~자기 터널 접합부 MTJ~액세스 트랜지스터 ATR~접지 전압 Vss의 전류 경로에, 도시하지 않은 데이터 판독 회로로부터 일정 레벨의 데이터 판독 전류로서 공급되는 강지 전류 Is가 흐른다.

자기 터널 접합부 MTJ의 전기 저항치는, 고정 자기층 FL과 자유 자기층 VL 사이의 자계 방향의 상태 관계에 따라 변화한다. 구체적으로는, 고정 자기층 FL의 자계 방향과 자유 자기층 VL에 기입된 자계 방향이 동일한 경우에는, 양자의 자계 방향이 다른 경우에 비하여 자기 터널 접합부 MTJ의 전기 저항치는 작아진다.

따라서, 데이터 판독 시에는, 강지 전류 Is에 의해 자기 터널 접합부 MTJ에서 생기는 전압 강하는, 자유 자기층 VL에 기억된 자계 방향에 따라 다르다. 이에 따라, 비트선 BL을 일단 고전압으로 프리차지한 상태로 한 후에 강지 전류 Is의 공급을 개시하면, 비트선 BL의 전압 레벨 변화를 검지함으로써 MTJ 메모리 셀의 기억 데이터를 판독할 수 있다.

도 22는 MTJ 메모리 셀에 대한 데이터 기입 동작을 설명하는 개념도이다.

도 22를 참조하면, 데이터 기입 시에는 판독 웨드선 RL은 비활성화되며, 액세스 트랜지스터 ATR은 터온 오포된다. 이 상태에서, 자유 자기층 VL에 자계를 기입하기 위한 데이터 기입 전류가 기입 웨드선 RL 및 비트선 BL로 각각 흐른다. 자유 자기층 VL의 자계 방향은 기입 웨드선 RL 및 비트선 BL을 각각 흐르는 데이터 기입 전류의 방향의 조합에 따라 결정된다.

도 23은 데이터 기입 시에서의 데이터 기입 전류의 방향과 자계 방향의 관계를 설명하는 개념도이다.

도 23을 참조하면, 횡축으로 도시되는 자계 Hx는 기입 웨드선 RL을 흐르는 데이터 기입 전류에 의해 생기는 자계 H(BL)의 방향과 나타낸다. 한편, 종축으로 도시되는 자계 Hy는, 비트선 BL을 흐르는 데이터 기입 전류에 의해 발생되는 자계 H(BL)의 방향을 나타낸다.

자유 자기층 VL에 기억되는 자계 방향은, 자계 H(BL)와 H(BL)의 합이 도면 중에 도시되는 아스테로이드 특성선의 외측 영역에 도달하는 경우에만, 새롭게 기입된다. 즉, 아스테로이드 특성선의 내측의 영역에 상당하는 자계가 인기된 경우에는, 자유 자기층 VL에 기억되는 자계 방향은 경신되지 않는다.

특 2002-0071438

따라서, 자기 터널 접합부 MTJ의 기억 데이터를 기입 동작에 의해 정신하기 위해서는, 기입 워드선 뷔퍼과 비트선 BL의 양방향으로 전류를 흘릴 필요가 있다. 자기 터널 접합부 MTJ에 일단 기억된 자계 방향 즉, 기억 데이터는 새로운 데이터 기입이 실행되기까지의 동안 불취득성적으로 유지된다.

데이터 판독 동작 시에도, 비트선 BL에는 감지 전류 Is가 흐른다. 그러나, 감지 전류 Is는 일반적으로, 상속한 데이터 기입 전류보다는 1~2자릿수 정도 줄어들도록 설정되기 때문에, 감지 전류 Is의 영향에 의해 데이터 판독 시에 MTJ 메모리 셀의 기억 데이터가 잘못되어 재기입될 가능성은 적다.

상술한 기술 문헌에서는, 이러한 MTJ 메모리 셀을 반도체 기판 상에 집적하여 랜덤 액세스 메모리(RAM)인 MRAM 디바이스를 구성하는 기술이 개시되어 있다.

도 24는 반도체 기판 상에 배치된 MTJ 메모리 셀의 구조도이다.

도 24를 참조하여 반도체 주 기판 SUB 상의 형 영역 PAR에 액세스 트랜지스터 ATROI 형성된다. 액세스 트랜지스터 ATROI는 n형 영역인 소스/드레인 영역(110, 120)과 게이트(130)를 갖는다. 소스/드레인 영역(110)은 제1 금속 배선층 비에 형성된 금속 배선을 통해 접지 전압 Vss와 결합된다. 기입 워드선 WBL에는, 제2 금속 배선층 M2에 형성된 금속 배선이 이용된다. 또한, 비트선 BL은 제3 금속 배선층 M3에 설치된다.

자기 터널 접합부 MTJ는, 기입 워드선 WBL이 설치되는 제2 금속 배선층 M2와 비트선 BL이 설치되는 제3 금속 배선층 M3 사이에 배치된다. 액세스 트랜지스터 ATROI의 소스/드레인 영역(120)은 컨택트홀에 형성된 금속막(150)과, 제1 및 제2 금속 배선층 비 및 M2A, 배리어 매탈(140)을 통해 자기 터널 접합부 MTJ와 전기적으로 결합된다. 배리어 매탈(140)은 자기 터널 접합부 MTJ와 금속 배선 사이를 전기적으로 결합하기 위해 설치되는 완충재이다.

이미 설명한 바와 같이, MTJ 메모리 셀에서는 판독 워드선 RWL은 기입 워드선 WBL과는 독립된 배선으로 설치된다. 또한, 기입 워드선 WBL 및 비트선 BL은 데이터 기입 시에서 소정치 이상의 크기의 자계를 발생시키기 위한 데이터 기입 전류를 흘릴 필요가 있다. 따라서, 비트선 BL 및 기입 워드선 WBL은 금속 배선을 이용하여 형성된다.

판독 워드선 RWL은 액세스 트랜지스터 ATROI의 게이트 전압을 제어하기 위해 설치되는 것으로, 전류를 적극적으로 흘릴 필요는 없다. 따라서, 전기적으로 배치된 판독 워드선 RWL은 독립된 금속 배선층을 새롭게 설치하지 않고도, 게이트(130)와 동일한 배선층에서 풀리실리콘층이나 풀리사미드 구조 등을 이용하여 형성되어 있다.

또한, 상술한 MTJ 메모리 셀뿐만 아니라, 기억 데이터의 레벨에 따라 전기 저항치가 변화하는 메모리 셀이, ROM(Read Only Memory)이나 RAM에 일반적으로 적용되어 있다.

도 25는 행렬형으로 집적 배치된 MTJ 메모리 셀에 대한 데이터 판독 전류의 공급을 설명하는 블록도이다.

도 25를 참조하면, 고집적화된 기억 장치를 실현하기 위해서는 일반적으로, MTJ 메모리 셀은 행렬형으로 배치된다. 도 25에서는, MTJ 메모리 셀을 n행 × m열(n, m: 자연수)에 배치하는 경우가 도시된다.

이미 설명한 바와 같이, 각 MTJ 메모리 셀에 대하여 비트선 BL, 기입 워드선 WBL 및 판독 워드선 RWL이 배치된다. 따라서, 행렬형으로 배치된 n × m개의 MTJ 메모리 셀에 대하여 n개의 기입 워드선 WBL1~WBLn 및 판독 워드선 RWL1~RWLn과, m개의 비트선 BL1~BLm이 배치된다.

데이터 판독 시의 데이터 간의 전류 즉, 감지 전류 Is의 공급은 메모리 어레이에 인접하여 배치되는 감지 전류 공급 회로(500)에 의해 실행된다. 데이터 판독 시에는 선택된 메모리 셀 행에 대응하는 판독 워드선 RWL1이 선택적으로 H 레벨로 활성화되며, 또한, 선택 메모리 셀 열에 대응하는 비트선 BL에 대하여 감지 전류 공급 회로(500)로부터 감지 전류 Is가 공급된다. 이에 따라, 도 21에서 설명한 바와 같이, 선택된 메모리 셀 MCD에서 기억된 데이터 레벨에 따른 전압 변화가 대응하는 비트선에 발생된다.

그러나, 도 25의 구성에서는, 선택된 메모리 셀 행의 위치에 의존하여, 비트선 상에서의 감지 전류 Is의 통과 경로 길이가 변화한다. 이러한 경로 길이의 변화에 따라 비트선 상의 감지 전류 경로의 전기 저항치가 변화하여, 감지 전류 Is의 값이 변동될 우려가 있다.

예를 들면, 도 25의 구성에서, 감지 전류 공급 회로(500)에 가까운 제n번째의 메모리 셀 행이 선택된 경우에 있어서는, 비트선 BL 상의 감지 전류(도면 중에 Isn으로 표기) 경로에 포함되는 부분은 짧기 때문에, 감지 전류 경로의 전기 저항치는 작아지는 특징이다.

반대로 감지 전류 공급 회로(500)로부터 먼 쪽의 제1번째의 메모리 셀 행이 선택된 경우에는, 비트선 BL 상의 감지 전류(도면 중에 Is1로 표기) 경로에 포함되는 부분은 길기 때문에, 감지 전류 경로의 전기 저항치는 커진다. 이러한 감지 전류 경로의 전기 저항치의 변동은 선택된 메모리 셀 행의 위치에 의존한 감지 전류의 변동을 초래한다.

도 26은 감지 전류 공급 회로(500)의 일반적인 구성을 나타내는 블록도이다.

도 26를 참조하면, 일반적으로 감지 전류의 공급은 비트선 BL1~BLn에 의해 공유되는 전류 공급 유닛(510)에 의해 실행된다. 전류 공급 유닛(510)은 데이터 버스 DB에 대하여 감지 전류 Is를 공급한다. 데이터 버스 DB는 메모리 셀 열에 각각 대응하여 설치되는 헐럼 선택 게이트 CS81~CS9m를 통해 비트선 BL1~BLn과 결합된다.

컬럼 선택선 CSL1~CSLn은 메모리 셀 열에 각각 대응하여 설치되고, 열 선택 결과에 따라 선택적으로 활성화된다. 헐럼 선택 게이트 CS81~CS9m의 각각은, 컬럼 선택선 CSL1~CSLn 중의 대응하는 1개의 활성화에 따라 온한다. 예를 들면, 제1번째의 메모리 셀 열에 대응하는 헐럼 선택 게이트 CS81은, 대응하는 헐럼 선택선 CSL1의 활성화(H 레벨)에 응답하여 온하고, 데이터 버스 DB와 비트선 BL1을 전기적으로 결합한다. 이후의 메모리 셀 열에 대해서도, 컬럼 선택 게이트는 동시에 배치된다.

2002-0071438

이러한 구성으로 함으로써, 전류 풍급 유닛(510)을 메모리 어레이 내의 복수의 비트선으로 공유하고, 선택된 메모리 셀 열에 대응하는 비트선에 대하여 감지 전류 Is를 선택적으로 공급할 수 있다.

그러나, 도 26에 도시한 바와 같이 구성으로 함으로써, 감지 전류 Is를 통과시키는 데이터 버스 DB의 경로 길이가 변화한다. 이러한 경로 길이의 변화에 따라 데이터 버스 DB 상의 감지 전류 경로의 전기 저항치가 변화하여, 감지 전류 Is의 값이 변동될 우려가 있다.

예를 들면, 도 26의 구성에서, 전류 풍급 유닛(510)에 가까운 제2번째의 메모리 셀 열이 선택된 경우에는 데이터 버스 DB 상의 감지 전류 경로에 포함되는 부분은 짧기 때문에, 그 전기 저항치는 적아진다.

반대로 전류 풍급 유닛(510)으로부터 멀어진 제2번째의 메모리 셀 열이 선택된 경우에는 데이터 버스 DB 상의 감지 전류 경로에 포함되는 부분은 길기 때문에, 그 전기 저항치는 커진다. 이러한 감지 전류 경로의 전기 저항치의 변동은, 선택된 메모리 셀 열의 위치에 의존한, 감지 전류의 변동을 초래한다.

의장이 이루고자 하는 기술적 과정

이와 같이, 일반적인 구성의 MRAM 디바이스에서는, 선택된 메모리 셀의 위치에 의존하여 감지 전류의 변동이 생길 우려가 있다.

이미 설명한 바와 같이, MTJ 메모리 셀을 갖는 MRAM 디바이스에서는, 감지 전류 Is 및 MTJ 메모리 셀의 전기 저항치에 따라 생기는 전압 변화를 경지하여 데이터 판독을 실행하고 있다. 따라서, MTJ 메모리 셀로 대표되는 기억 데이터의 레벨에 따라 전기 저항치가 변화하는 메모리 셀을 구비한 기억 장치에서, 감지 전류 Is의 변동은 안정된 데이터 판독 동작을 해제한다.

즉, 선택 메모리 셀의 위치에 의존하여 감지 전류가 변동하면, 메모리 어레이 내에서 데이터 판독 시에 시의 동작 마진을 동일하게 유지하는 것은 불가능하며, 기억 장치 전체의 동작 마진을 충분히 확보하는 것이 곤란해진다. 이 결과, 심한 경우에는 오동작이 발생하여, 수들이 저하된다라고 하는 문제점이 생길 우려도 있다.

이러한 문제점에 대처하기 위해 선택된 메모리 셀의 위치에 따라 데이터 판독 전류의 레벨을 미세 조정하는 구성을 하는 것도 가능하지만, 이 경우에는, 데이터 판독 회로의 구성의 복잡화 및 미세 조정을 위한 설계 부하의 증대를 초래한다.

본 발명의 목적은, MRAM 디바이스로 대표되는, 기억 데이터의 레벨에 따라 전기 저항치가 변화하는 메모리 셀을 구비한 기억 장치에 있어서, 선택되는 메모리 셀 위치에 의존하지 않고 데이터 판독 마진을 동일하게 유지하며, 데이터 판독의 안정화를 도모하는 것이다.

본원의 구성 및 작용

본 발명은 요약하면, 기억 장치에 있어서, 메모리 어레이와, 복수의 판독 워드선과, 복수의 비트선과, 복수의 기준 전압 배선과, 데이터 판독 회로를 구비한다. 메모리 어레이에는 행렬형으로 배치된 복수의 메모리 셀을 갖는다. 복수의 판독 워드선은 메모리 셀의 행에 각각 대응하여 설치되고, 데이터 판독 시에 있어서, 행 선택 결과에 따라 선택적으로 활성화된다. 복수의 비트선은 메모리 셀의 열에 각각 대응하여 설치되고, 데이터 판독 시에 있어서, 열 선택 결과에 따라 선택적으로 활성화된다. 복수의 기준 전압 배선은 복수의 비트선과 동일 방향을 따라 열에 대응하여 배치되고, 판독 기준 전압을 공급한다. 데이터 판독 회로는 데이터 판독 시에 있어서, 판독 기준 전압과의 사이에 형성되는 전류 경로에 흐르는 데이터 판독 전류를, 복수의 비트선 중의 열 선택 결과에 따라 선택되는 적어도 하나에 공급한다. 복수의 메모리 셀의 각각은, 기억 데이터의 레벨에 따라 전기 저항치가 변화하는 기억부와, 복수의 비트선 중의 대응하는 1개와 복수의 기준 전압 배선 중의 대응하는 1개 사이에 기억부와 직렬로 전기적으로 결합되며, 복수의 판독 워드선 중의 대응하는 1개의 활성화에 응답하여 도동하는 메모리 셀 선택 게이트를 포함한다. 데이터 판독 시에 있어서, 선택 열에 대응하는 기준 전압 배선과 선택 열에 대응하는 비트선 중의, 전류 경로에 포함되는 부분의 전기 저항치의 충합은 행 선택 결과에 의존하지 않고 거의 일정하다.

따라서, 본 발명의 주된 이점은 선택 메모리 셀이 속하는 행에 의존하지 않고 데이터 판독 전류를 일정 레벨로 유지할 수 있기 때문에, 메모리 어레이 내에서의 데이터 판독 시의 동작 마진을 동일하게 유지하여, 기억 장치 전체의 데이터 판독 동작을 안정화할 수 있는 점이다.

본 발명의 다른 국면에 따르면, 기억 장치에 있어서, 메모리 어레이와, 복수의 판독 워드선과, 복수의 비트선과, 복수의 기준 전압 배선과, 데이터 버스와, 데이터 판독 회로와, 열 선택부와, 의사 데이터 버스를 구비한다. 메모리 어레이에는 행렬형으로 배치된 복수의 메모리 셀을 갖는다. 복수의 판독 워드선은 메모리 셀의 행에 각각 대응하여 설치되고, 데이터 판독 시에 있어서, 행 선택 결과에 따라 선택적으로 활성화된다. 복수의 비트선은 메모리 셀의 열에 각각 대응하여 설치된다. 복수의 기준 전압 배선은 복수의 비트선과 동일 방향을 따라 열에 대응하여 설치되며, 판독 기준 전압을 공급한다. 데이터 버스는 메모리 어레이와 인접한 영역에, 복수의 워드선과 동일 방향을 따라 배치된다. 데이터 판독 회로는, 데이터 판독 시에 있어서, 판독 기준 전압 사이에 형성되는 전류 경로로 흐르는 데이터 판독 전류를 데이터 버스로 공급한다. 열 선택부는 복수의 비트선 중의 열 선택 결과에 따라 선택되는 1개와 데이터 버스를 전기적으로 결합한다. 의사 데이터 버스는 메모리 어레이를 사이에 두고 데이터 버스와 반대측의 영역에서, 데이터 버스와 동일 방향을 따라 배치된다. 의사 데이터 버스는 판독 기준 전압 및 각 기준 전압 배선과 전기적으로 결합된다. 복수의 메모리 셀의 각각은, 기억 데이터의 레벨에 따라 전기 저항치가 변화하는 기억부와, 복수의 비트선 중의 대응하는 1개와 복수의 기준 전압 배선 중의 대응하는 1개 사이에, 기억부와 직렬로 전기적으로 결합되며, 복수의 판독 워드선 중의 대응하는 1개의 활성화에 응답하여 도동하는 메모리 셀 선택 게이트를 포함한다. 데이터 판독 시에, 데이터 버스 및 의사 데이터 버스 중의 전류 경로에 포함되는 부분의 전기 저항치의 충합은, 열 선택 결과에 의존하지 않고 거의 일정하다.

따라서, 선택 메모리 셀이 속하는 열에 의존하지 않고 데이터 판독 전류를 일정 레벨로 유지할 수 있기 때문에, 메모리 어레이 내에서의 데이터 판독 시의 동작 마진을 동일하게 유지하고, 기억 장치 전체의 데

2002-0071438

데이터 판독 동작의 안정화를 도모할 수 있다.

본 발명의 또 다른 국면에 따르면, 기억 장치에 있어서, 메모리 어레이와, 복수의 워드선과, 복수의 비트선과, 복수의 워드 드라이버와, 데이터 버스와, 데이터 판독 회로와, 열 선택부를 구비한다. 메모리 어레이에는 행렬형으로 배치된 복수의 메모리 셀을 갖는다. 복수의 워드선은 메모리 셀의 행에 각각 대응하여 설치된다. 복수의 비트선은 메모리 셀의 열에 각각 대응하여 설치된다. 복수의 워드 드라이버는 복수의 워드선에 각각 대응하여 배치되며, 각각이 데이터 판독 시에, 복수의 워드선 중의 대응하는 1개를 선택 결과에 따라 판독 기준 전압과 결합한다. 데이터 버스는 메모리 어레이와 인접한 영역에, 복수 행 선택 결과에 따라 판독 기준 전압과 결합한다. 데이터 판독 회로는 데이터 판독 시에, 판독 기준 전압과의 차이에 형성되는 전류 증강으로 흐르는 데이터 판독 전류를 데이터 버스로 공급한다. 열 선택부는 복수의 비트선 중의 열 선택 결과에 따라 선택되는 적어도 1개와 데이터 버스를 전기적으로 결합한다. 복수의 비트선 중의 대응하는 1개와 복수의 판독 워드선 중의 대응하는 1개와의 사이에서 기억부와 직렬로 전기적으로 결합되며, 대응하는 워드선과 판독 기준 전압과 결합된 경우에 도통하는 정류 소자를 포함한다. 데이터 판독 시에, 선택된 행에 대응하는 판독 워드선과 데이터 버스 중의, 데이터 판독 전류의 경로에 포함되는 부분의 전기 저항치의 총합은, 열 선택 결과에 의존하지 않고 거의 일정하다.

따라서, 고집적화에 적합한, 정류 소자를 이용한 메모리 셀이 행렬형으로 배치된 메모리 어레이에서, 선택 메모리 셀이 속하는 열에 의존하지 않고 데이터 판독 전류를 일정 레벨로 유지할 수 있다. 이 결과, 메모리 어레이 내에서의 데이터 판독 시의 동작 마진을 동일하게 유지하고, 기억 장치의 고집적화 및 데이터 판독 동작의 안정화를 도모할 수 있다.

본 발명의 또 하나의 국면에 따르면 기억 장치에서, 메모리 어레이와, 복수의 워드선과, 복수의 비트선과, 기준 전압 배선과, 복수의 워드 드라이버와, 데이터 판독 회로를 구비한다. 메모리 어레이에는 행렬형으로 배치된 복수의 메모리 셀을 갖는다. 복수의 워드선은 메모리 셀의 행에 각각 대응하여 설치된다. 복수의 비트선은 메모리 셀의 열에 각각 대응하여 설치된다. 기준 전압 배선은 메모리 어레이와 인접하는 영역에 복수의 비트선과 동일 방향을 따라 배치되며, 판독 기준 전압을 공급한다. 복수의 워드 드라이버는 복수의 워드선에 각각 대응하여 배치되고, 각각이, 데이터 판독 시에 복수의 판독 워드선 중의 대응하는 1개를 행 선택 결과에 따라 기준 전압 배선과 전기적으로 결합한다. 데이터 판독 회로는 데이터 판독 시에 판독 기준 전압 사이에 형성되는 전류 경로로 흐르는 데이터 판독 전류를, 복수의 비트선 중의 열 선택 결과에 따라 선택되는 적어도 1개로 공급한다. 복수의 메모리 셀의 각각은, 기억 데이터의 결합으로 따라 전기 저항치가 변화하는 기억부와, 복수의 비트선 중의 대응하는 1개와 복수의 판독 워드선 중의 대응하는 1개와의 사이에서 기억부와 직렬로 전기적으로 결합되고, 대응하는 워드선이 판독 기준 전압과 결합된 경우에 도통하는 정류 소자를 포함한다. 데이터 판독 시에, 선택된 열에 대응하는 비트선과 기준 전압 배선 헝TING, 데이터 판독 전류의 경로에 포함되는 부분의 전기 저항치의 총합은 행 선택 결과에 의존하지 않고 거의 일정하다.

따라서, 고집적화에 적합한, 정류 소자를 이용한 메모리 셀이 행렬형으로 배치된 메모리 어레이에서, 선택 메모리 셀이 속하는 행에 의존하지 않고 데이터 판독 전류를 일정 레벨로 유지할 수 있다. 이 결과, 메모리 어레이 내에서의 데이터 판독 시의 동작 마진을 동일하게 유지하여, 기억 장치의 고집적화 및 데이터 판독 동작의 안정화를 도모할 수 있다.

본 발명의 기타 목적 및 특징은, 첨부 도면을 참조한 이하의 실시예를 통해 명백해 질 것이다.

이하에, 본 발명의 실시예에 대하여 도면을 참조하여 상세히 설명한다. 또, 도면 중에서의 동일 부호는 동일 또는 상당 부분을 나타내도록 한다.

(실시예 1)

도 1을 참조하여 MRAM 디바이스(1)는 본원 발명에 따른 기억 장치의 대표예로서 나타낸다. 또, 이하의 실시예에서 분명하게 되는 바와 같이, 본원 발명의 적용은 MRAM 디바이스에 한정되는 것이 아니라, 기억 데이터의 레벨에 따라 전기 저항치가 변화하는 메모리 셀을 구비한 기억 장치에 널리 적용시킬 수 있다.

실시예 1에 따른 MRAM 디바이스(1)는 외부로부터의 제어 신호 CMD 및 어드레스 신호 ADD에 응답하여 컨트롤 액세스를 행하고, 기입 데이터 DIN의 입력 및 판독 데이터 DOUT의 출력을 실행한다.

MRAM 디바이스(1)는 제어 신호 CMD에 응답하여 MRAM 디바이스(1)의 전체 동작을 제어하는 컨트롤 회로(5)와, 행렬형으로 배치된 복수의 MTJ 메모리 셀을 갖는 메모리 어레이(10)를 구비한다. 메모리 어레이(10)의 구성을 흘러 살피면, MTJ 메모리 셀의 행에 각각 대응하여 복수의 기입 워드선 RWL 및 판독 워드선 RWL이 배치되고, MTJ 메모리 셀의 열에 각각 대응하여 복수의 비트선 BL이 배치된다.

MRAM 디바이스(1)는, 어드레스 신호 ADD에 의해 나타내는 로우 어드레스 RA에 따라 메모리 어레이(10)에 서의 행 선택을 실행하는 행 디코더(20)와, 어드레스 신호 ADD에 의해 나타내는 컬럼 어드레스 CA에 따라, 메모리 어레이(10)에서의 열 선택을 실행하는 열 디코더(25)와, 행 디코더(20)의 행 선택 결과에 기초하여 판독 워드선 RWL 및 기입 워드선 RWL을 선택적으로 활성화하기 위한 워드선 드라이버(30)와, 데이터 기입 시에서 기입 워드선 RWL에 데이터 기입 전류를 흘리기 위한 워드선 전류 제어 회로(40)와, 데이터 판독 및 데이터 기입 시에, 데이터 기입 전류 및 강지 전류를 즐리기 위한 판독/기입 제어 회로(50, 60)를 구비한다.

판독/기입 제어 회로(50 및 60)는 메모리 어레이(10)의 양단부에서의 비트선 BL의 전압 레벨을 제어하여, 데이터 기입 및 데이터 판독을 각각 실행하기 위한 데이터 기입 전류 및 강지 전류를 비트선 BL로 즐린다.

도 2를 참조하면, 메모리 어레이(10)는 n행 × m열(n, m: 자연수)로 배열되는 메모리 셀 MC를 갖는다.

또, 본 실시예에서는, 각 메모리 셀 MC의 구성을 도 20에 도시한 MTJ 메모리 셀과 동일하게 하지만, 각 메모리 셀에서의 자기 터널 접합부 MTJ에 상당하는 부분에 대해서는, 기억 데이터의 레벨에 따라 전기 저

2002-0071438

항자가 변화하는 소자로 치환하는 것도 가능하다.

메모리 셀의 행(이하, 간단히 메모리 셀 행이라고 할)에 각각 대응하여, 판독 워드선 RWL1~RWLn이 배치된다. 도시하지 않지만, 데이터 기입에서 선택된 메모리 셀 행에 대응하여 데이터 기입 전류를 흘리기 위한 기입 워드선 RWL1~RWLn도 메모리 셀 행에 각각 대응하여 배치된다.

메모리 셀의 열(이하, 간단히 메모리 셀 열이라고 할)에 각각 대응하여, 비트선 BL1~BLm 및 기준 전압 배선 V1~Vn이 배치된다. 기준 전압 배선 SL1~SLm의 각각은 데이터 판독 시의 기준 전압(이하, 간단히 기준 전압이라고 할)에 상당하는 절지 전압 Vss와, 판독/기입 제어 회로(60) 측에서 결합되고, 히 대응하는 메모리 셀 열에 속하는 메모리 셀 중의 액세스 트랜지스터 ATR의 소스측 영역의 각각과 또한 결합된다.

또, 이하에서는, 판독 워드선 및 비트선을 통괄적으로 표현하는 경우에는, 부호 CSL 및 BL을 각각 이용하여 표기하도록 하고, 특정한 판독 워드선 및 비트선을 나타내는 경우에는, 이를 부호에 숫자를 붙여 RWL1, BL1과 같이 표기하도록 한다.

메모리 어레이(10)의 주변에서, 메모리 셀 열의 각각에 대응하여 헐름 선택선 CSL1~CSLn, 헐름 선택 게이트 CSG1~CSGm 및 프리차지 트랜지스터(64-1~64-n)가 설치된다. 또한, 데이터 버스 DB가 판독 워드선 RWL과 동일 방향을 따라 배치된다.

열 디코더(25)는 헐름 어드레스 CA의 디코드 결과, 즉, 열 선택 결과에 따라 헐름 선택선 CSL1~CSLn 중의, 열 선택 결과에 대응하는 1개를 선택 상태(H 레벨)로 활성화한다.

판독 선택 게이트 CSG1~CSGm은, 판독/기입 제어 회로(50) 내에 설치되고, 비트선 BL1~BLm과 데이터 버스 DB 사이에 각각 배치된다. 헐름 선택 게이트 CSG1~CSGm의 각각은, 헐름 선택선 CSL1~CSLn 중의 대응하는 1개의 활성화에 응답하여 온하고, 데이터 버스 DB와 대응하는 비트선 BL을 결합한다. 즉, 비트선 BL과 데이터 버스 DB는 판독/기입 제어 회로(50) 측에서 전기적으로 결합된다.

또, 이하에서는, 헐름 선택선, 헐름 선택 게이트 및 프리차지 트랜지스터를 통괄적으로 표현하는 경우에 부호 CSL, CSG 및 64를 각각 이용하여 표기하도록 하고, 특정한 헐름 선택선, 헐름 선택 게이트 및 프리차지 트랜지스터를 나타내는 경우에는, 이를 부호에 첨자를 붙여, CSL1, CSG1, 혹은 64-1과 같이 표기하도록 한다.

프리차지 트랜지스터(64-1~64-n)는 판독/기입 제어 회로(60)에 설치되고, 프리차지 전압으로서 이용되는 전원 전압 Vcc와, 비트선 BL1~BLm의 각각과의 사이에 전기적으로 결합된다. 프리차지 트랜지스터(64-1~64-n)의 각각은, 비트선 프리차지 신호 BLPR에 응답하여 온한다.

비트선 프리차지 신호 BLPR의 활성화에 응답하여, 각 비트선 BL은 전원 전압 Vcc로 프리차지된다.

비트선 프리차지 신호 BLPR은, NRAM 디바이스(1)의 스탠바이 기간과, NRAM 디바이스(1)의 액티브 기간 내에서의, 데이터 기입 동작 및 데이터 판독 동작의 전후에서, 각 비트선 BL을 프리차지하기 위해 활성화된다.

한편, NRAM 디바이스의 액티브 기간에서의 데이터 기입 및 데이터 판독 동작 시에는 비트선 프리차지 신호 BLPR은 레벨로 비활성화된다. 이것에 응답하여, 각 비트선 BL은 프리차지 전압과 분리된다.

다음에, 판독/기입 제어 회로(50)에 포함되는 데이터 판독 회로(52a)의 구성을 대하여 설명한다.

데이터 판독 회로(52a)는 데이터 판독 시에 활성화되는 제어 신호 RE에 응답하여 동작하고, 데이터 판독 전류인 강자 전류 Is를 공급함과 함께 감지 전류 Is에 의해 선택 메모리 셀에 생기는 전압 변화를 검지하여 판독 데이터 DOUT을 출력한다.

데이터 판독 회로(52a)는, 전원 전압 Vcc를 받아 노드 Ns1 및 Ns2에 일정 전류를 각각 공급하기 위한 전류원(161 및 162)과, 노드 Ns1과 노드 Nr1 사이에 전기적으로 결합되는 N형 MOS 트랜지스터(163)와, 노드 Ns2와 절지 전압 Vss 사이에 적렬로 결합되는, N형 MOS 트랜지스터(164) 및 저항(168)과, 노드 Ns1 및 Ns2 사이의 전압 차를 증폭시켜 판독 데이터 DOUT을 출력하는 증폭기(165)를 갖는다. 노드 Nr1은 데이터 버스 DB와 전기적으로 결합된다.

트랜지스터(163 및 164)의 게이트에는 소정 전압 Vref가 제공된다. 전류원(161 및 162)의 공급 전류량 및 소정 전압 Vref는 강자 전류 Is의 설정치에 따라 설정된다. 저항(166 및 167)은 노드 Ns1 및 Ns2를 접지 전압 Vss로 출다운하기 위해 설치된다.

이러한 구성으로 한으로써, 데이터 판독 회로(52a)는 데이터 판독 시에, 데이터 버스 DB에 일정한 강자 전류 Is를 공급한다. 데이터 판독에서는, 선택 메모리 셀에 대응하여 데이터 판독 회로(52a)와 판독 기준 전압인 강자 전압 Vss 사이에 형성되는 데이터 판독 회로(52a)~데이터 버스 DB~헬름 선택 게이트 CSG~비트선 BL~자기 터널 접합부 MTJ~액세스 트랜지스터 ATR~기준 전압 배선 SL~절지 전압 Vss(판독 기준 전압)의 전류 경로로 강자 전류 Is가 흐른다.

이에 따라, 메모리 셀 MC 중의 자기 터널 접합부 MTJ에 생긴 전압 변화를, 비트선 BL 및 데이터 버스 DB를 통하여 노드 Nr1로 전달할 수 있다.

선택 메모리 셀이 H 레벨('1') 데이터 및 L 레벨('0') 데이터를 기억하고 있는 경우에 각각 대응하는, 노드 Nr1의 전압을 Vh 및 VL로 하면, 노드 Ns2의 전압은 전압 Vh 및 VL의 중간의 전압 Vm으로 설정된다. 즉, 저항(168)의 저항치에 의해 전압 Vm은 조정된다.

데이터 판독 회로(52a)는 노드 Ns1 및 Ns2의 전압 차를 증폭시킴으로써, 기억 데이터의 레벨에 대응하는 선택 메모리 셀에서의 전압 변화를 검지 증폭하여, 판독 데이터 DOUT을 출력한다.

또한, 기준 전압 배선 SL이 절지 전압 Vss와 결합되는 영역과, 비트선 BL로 강자 전류 Is가 공급되는 영

2002-0071438

역은, 메모리 어레이(10)를 사이에 두고 열 방향으로 상호 반대측에 위치한다.

도 3을 참조하면, 기준 전압 배선 Vss는 비트선 BL과 동일 배선층(예를 들면 N2)에서 동일 형상 또한 동일 재질로 형성된다. 이에 따라, 기준 전압 배선 SL 및 비트선 BL의 단위 길이당 전기 저항치는 마찬가지의 값으로 설정된다.

기준 전압 배선 Vss 및 비트선 BL은 미와 같이 형성하고 함께, 도 2에 도시된 바와 같이, 메모리 어레이의 일단축과 그 반대축(단축)의 각각에서, 각 기준 전압 배선 SL과 접지 전압 Vss의 결합 개소 및 감지 전류 Is가 풍금되는 데이터 버스 MB와 각 비트선 BL의 결합 개소(즉, 텔럼 선택 게이트 CGS)를 설치함으로써, 선택된 메모리 셀 행의 위치에 관계없이, 감지 전류 Is의 전류 경로에 포함되는 비트선 BL 및 기준 전압 배선 Vss의 저항치의 합을 거의 일정하게 유지할 수 있다.

이에 따라, 선택된 메모리 셀 행에 의존하여, 감지 전류 Is가 변동하는 것을 방지할 수 있다. 이 결과, 메모리 어레이 내에서 데이터 판독 시의 동작 마진을 동일하게 유지하여, MRAM 디바이스 전체의 동작 마진을 충분히 확보할 수 있다.

또, 기준 전압 배선 SL은, 비트선 BL과 단위 길이당 저항치가 동일하게 되도록 설계되는 것이 필요하며, 이 조건이 만족되는 한, 각각의 배선을 다른 금속 배선층에 설치하는 것도 가능하다.

다음에 도 4를 참조하여 메모리 셀에 대한 데이터 판독 및 데이터 기입 동작을 설명한다.

우선, 데이터 기입 시의 동작에 대하여 설명한다.

도 2에서는, 데이터 기입에 관련된 주변 회로의 배치 및 구성의 도시를 생략하였지만, 메모리 셀 행에 각각 대응하여 배치되는 기입 웨드선 WDI과, 비트선 BL의 전압 및 전류를 미하에 진술한 바와 같이 제어함으로써 데이터 기입을 실행할 수 있다.

웨드선 드라이버(30)는 행 디코더(20)의 행 선택 결과에 따라, 선택 행에 대응하는 기입 웨드선 WDI의 전압을 선택 상태(H 레벨)로 구동한다. 비선택 행에서는, 기입 웨드선 WDI의 전압 레벨은 비선택 상태(L 레벨: 접지 전압 Vss) 그대로이다.

데이터 기입 시에는, 선택 행에 대응하는 기입 웨드선 WDI에서, 데이터 기입 전류 Ip가 흐른다. 한편, 비선택 행에서는 데이터 기입 전류는 흐르지 않는다.

판독/기입 제어 회로(50 및 60)는, 메모리 어레이(10)의 양단에서의 비트선 BL의 전압을 제어함으로써, 기입 데이터의 데이터 레벨에 따른 필요한 데이터 기입 전류를 생기게 한다. 예를 들면, '1'의 기억 데이터를 기입하는 경우에는, 판독/기입 제어 회로(60) 측의 비트선 전압을 고전압 상태(전원 전압 Vcc)로 설정하고, 반대측의 판독/기입 제어 회로(50) 측의 비트선 전압을 저전압 상태(접지 전압 Vss)로 설정한다. 이것에 의해, 판독/기입 제어 회로(60)로부터 판독 기입 제어 회로(50)로 향하는 방향으로 데이터 기입 전류 +Iw가 비트선 BL을 흐른다. 한편, '0'의 기억 데이터를 기입하는 경우에는, 판독/기입 제어 회로(50 및 60) 측의 비트선 전압을 고전압 상태(전원 전압 Vcc) 및 저전압 상태(접지 전압 Vss)로 각각 설정하고, 판독/기입 제어 회로(50)로부터 판독 기입 제어 회로(60)로 향하는 방향으로 데이터 기입 전류 -Iw가 비트선 BL을 흐른다.

이 때, 데이터 기입 전류 ±Iw를 각 비트선에 흘림 필요는 없으며, 판독/기입 제어 회로(50 및 60)는, 데이터 버스 MB 및 텔럼 선택 게이트 CGS~CSG를 통해, 선택 열에 대응하는 일부의 비트선으로 데이터 기입 전류 ±Iw를 선택적으로 흘리도록, 상술한 비트선 BL의 전압을 제어하면 된다.

다음에 데이터 판독 시의 동작에 대하여 설명한다.

도 2에서 설명한 바와 같이, 각 비트선 BL은 데이터 판독 동작에 앞서서, 전원 전압 Vcc로 프리차지된다. 데이터 버스 MB에 대해서도, 마찬가지로, 전원 전압 Vcc로 프리차지된다.

데이터 판독 시에, 웨드선 드라이버(30)는 행 디코더(20)의 행 선택 결과에 따라 선택 행에 대응하는 판독 웨드선 WDI를 선택 상태(H 레벨)로 구동한다. 선택 행에서는, 판독 웨드선 WDI의 전압은, 비선택 상태(L 레벨: 접지 전압 Vss) 그대로이다. 또한, 후에 설명하는 더미 메모리 셀에 대응하는 더미 판독 웨드선에 대해서도 행 선택 결과에 따라 구동된다.

선택된 메모리 셀 행에서, 판독 웨드선 WDI의 H 레벨로 활성화되면, 대응하는 엑세스 트랜지스터 ATRO이 단온하고, 자기 터널 접합부 MTJ는 접지 전압 Vss로 출다운된다. 한편, 선택된 메모리 셀 행에 대응하는 비트선 BL에는 텔럼 선택 게이트 CGS 및 데이터 버스 MB를 통해 데이터 판독 회로(52a)에 의해, 일정한 감지 전류 Is가 흐른다.

따라서, 선택 메모리 셀 행에 대응하는 비트선 BL 및 데이터 버스 MB는, 기억 데이터 레벨에 따른 자기 터널 접합부 MTJ의 전기 저항치에 대응하는 전압(Vt 혹은 VI)에 수렴해 간다. 한편, 선택된 메모리 셀 행에 속하는 메모리 셀 중, 비선택의 메모리 셀 열에 속하는 것에 대해서는, 데이터 버스 MB와 결합되지 않기 때문에, 비트선 BL의 전압은 접지 전압 Vss까지 저하된다.

이러한 데이터 판독 동작에 의해, 기억 데이터 레벨에 따른 메모리 셀 MB의 전기 저항치의 차이를 전압 차로 변환하여 감지 증폭시켜, 데이터 판독을 실행할 수 있다.

또한, 비트선 BL의 프리차지 전압을, 접지 전압 Vss로 하여도 데이터 판독을 실행할 수 있다.

도 5는, 프리차지 전압을 접지 전압 Vss로 한 경우에서의 메모리 셀에 대한 데이터 판독 및 데이터 기입을 설명하는 단이밀 치트이다.

도 5를 참조하면, 데이터 기입 시에서는, 데이터 기입 종료 후에서의 데이터 버스 MB의 설정 전압이, 데이터 판독에서의 프리차지에 대비하여, 접지 전압 Vss로 설정되는 점이 도 4와 비교하여 다르다. 다른 신호 배선의 전압 및 전류 파형은, 도 4에 도시한 바와 마찬가지이기 때문에 상세한 설명은 반복하지 않

2002-0071438

는다.

데이터 판독 전에, 비트선 V_{DD} 및 데이터 버스 M_0 는 절지 전압 V_{SS} 로 프리차지된다.

데이터 판독 시에서, 선택된 메모리 셀 열에 대응하는 비트선 V_{DD} 은 헐럼 선택 게이트 C_{SD} 및 데이터 버스 M_0 를 통해 데이터 판독 회로(52a)에 의해 출연되어 깁지 전류 I_S 의 흐름을 받는다. 한편, 비선택 메모리 셀 열에 대응하는 비트선은 절지 전압 V_{SS} 로 유지된다.

선택 메모리 셀에 대응하는 비트선 V_{DD} 및 데이터 버스 M_0 에서는, 기억 데이터 레벨에 따른 전압 변화(상승)가 생긴다. 미 결과, 도 4의 경우와 마찬가지로, 비트선 V_{DD} 및 데이터 버스 M_0 는 기억 데이터 레벨에 따른 자기 터널 절함부 MTJ의 전기 저항치에 대응하는 전압으로 수렴해 간다. 이에 따라서, 기억 데이터 레벨을 반영한 메모리 셀의 전기 저항치의 차이를 전압 차로 변환하여 데이터 판독을 실행할 수 있다.

도 4 및 도 5에서 설명한 바와 같이, 데이터 판독 전에서의, 비트선 V_{DD} 및 데이터 버스 M_0 의 프리차지 전압은, 전원 전압 V_{CC} 및 절지 전압 V_{SS} 중 어느 하나로 하여도 데이터 판독을 실행할 수 있다.

단, 프리차지 전압을 절지 전압 V_{SS} 로 한 경우에는, 선택된 비트선 V_{DD} 에만 깁지 전류 I_S 가 흐른다. 비선택 셀에 대하여 프리차지를 위한 충전 전류 및 그 방전 전류를 흘릴 필요가 없기 때문에, 소비 전력을 저감시킬 수 있다.

한편, 전원 전압 V_{CC} 를 프리차지 전압으로 한 경우에는, 소비 전력을 상대적으로 증가하지만, 비트선 V_{DD} 및 데이터 버스 M_0 의 전압 변화를 신속하게 발생시킬 수 있으므로 데이터 판독을 고속화할 수 있다. 따라서, 프리차지 전압은 이러한 특성을 고려하여 설정하면 된다.

[실시예 1의 변형 예 1]

도 6을 참조하면, 실시예 1의 변형 예 1에 따른 구성에서는, 도 2b에 도시한 실시예 1에 따른 구성과 비교하면, 기준 전압 배선 SL_0 이 행 헐럼으로 인접하는 메모리 셀 사이에서 공유되는 점이 다르다. 예를 들면, 비트선 BL_1 및 BL_2 에 각각 대응하는 제1번째 및 제2번째의 메모리 셀 열에 속하는 메모리 셀은, 통일된 기준 전압 배선 SL_1 을 공유한다. 이후의 메모리 셀 열에 대해서도, 기준 전압 배선 SL_0 은 마찬가지로 배치된다. 따라서, 메모리 어레이(10) 전체에서는, k 개($k = n/2$ 로 나누어지는 자연수)의 기준 전압 배선 $SL_1 \sim SL_k$ 가 배치된다.

또, 도 6에서는, 메모리 어레이(10)에 행렬형으로 배치되는 메모리 셀 MC 중, 제 j 번째($j = 1 \sim n$ 의 자연수)의 메모리 셀 행에 대응하는 판독 워드선 RWL_j 및 대응하는 메모리 셀의 일부를 대표적으로 도시하고 있지만, 그 밖의 메모리 셀 행 및 메모리 셀 열에서도, 마찬가지로 판독 워드선 및 메모리 셀 MC 가 배치되어 있다. 이후의 도면에서도, 메모리 어레이(10)의 도시는 마찬가지로 한다.

또한, 프리차지 트랜지스터($64-1 \sim 64-n$)는 비트선 프리차지 신호 $BLPR$ 에 응답하여, 대응하는 비트선 $BL_1 \sim BL_n$ 의 각각을, 절지 전압 V_{SS} 로 프리차지한다.

이와 같이, 비트선 V_{DD} 의 프리차지 전압을, 판독 기준 전압으로서 공급되는 절지 전압 V_{SS} 와 동일하게 설정함으로써, 대응하는 판독 워드선 RWL_0 이 활성화된 경우에서도, 비선택의 메모리 셀 열에 대응하는 비트선 V_{DD} 로는 전류가 흐르지 않고, 기준 전압 배선 SL_0 을 흁涌하는 것이 가능해진다. 이 결과, 신호 배선 수를 감소하여, 메모리 어레이(10)를 더욱 고집적화하는 것이 가능해진다.

그 밖의 부분의 구성 및 동작은, 실시예 1과 마찬가지이기 때문에 상세한 설명은 반복하지 않는다.

즉, 인접하는 메모리 셀 열에 의해 공유되는 기준 전압 배선 SL 의 각각과, 비트선 V_{DD} 의 각각은, 실시예 1과 마찬가지로, 단위 길이당 전기 저항치가 동일하게 되도록 형성되기 때문에, 메모리 어레이 내에서 데이터 판독 시의 동작 마진을 동일하게 유지하여, MRAM 디바이스 전체의 동작 마진을 충분히 확보할 수 있다.

[실시예 1의 변형 예 2]

도 7을 참조하면, 실시예 1의 변형 예 2에 따른 구성에서는, 각 비트선 BL 은, 풀드형 구성에 따라 배치된다.

메모리 어레이(10)에 있어서, 메모리 셀 열에 각각 대응하여, 비트선 $BL_1 \sim BL_n$ 의 각각과 상보의 비트선 $/BL_1 \sim /BL_n$ 이 더욱 배치된다. 비트선 BL_1 및 $/BL_1$ 은 비트선상에 구성된다. 이후의 메모리 셀 열에서도 마찬가지로 비트선상에 구성된다.

비트선 $BL_1 \sim /BL_n$ 의 각각은, 단위 길이당 전기 저항치가 비트선 $BL_1 \sim BL_n$ 의 각각과 유사하게 되도록, 실시예 1에서의 비트선 V_{DD} 및 기준 전압 배선 SL_0 과 마찬가지로 배치된다.

또, 비트선상의 한쪽과 다른 쪽을 각각 구성하는, 비트선 $BL_1 \sim BL_n$ 및 $/BL_1 \sim /BL_n$ 을 각각 층층하는 경우에는, 비트선 BL 및 $/BL$ 을 표기하도록 한다.

기준 전압 배선 $SL_1 \sim SL_n$ 은 인접하는 메모리 셀 열의 각각에 대응하여 배치되며, 인접하여 배치되는 동일 메모리 셀 열에 속하는 메모리 셀 사이에서 공유된다.

기준 전압 배선 $SL_1 \sim SL_n$ 의 각각은 비트선 BL_1 , $/BL_1 \sim BL_n$, $/BL_n$ 의 각각과, 단위 길이당 전기 저항치가 마찬가지가 되도록, 실시예 1과 마찬가지로 배치된다.

메모리 셀 MC 는, 1행마다, 비트선 $BL_1 \sim BL_n$ 및 $/BL_1 \sim /BL_n$ 중 어느 한쪽과 결합된다. 예를 들면, 제 j 번째의 메모리 셀 행에 속하는 메모리 셀 MC 는 비트선 $BL_1 \sim BL_n$ 과 결합되고, 제 $(j+1)$ 번째의 메모리 셀 행에 속하는 메모리 셀 MC 는 비트선 $/BL_1 \sim /BL_n$ 과 접속된다.

이 결과, 판독 워드선 RWL_0 행 선택 결과에 따라 선택적으로 활성화되면, 비트선상의 한쪽 $BL_1 \sim BL_n$ 및 비트선상의 다른 쪽 $/BL_1 \sim /BL_n$ 중 어느 한쪽이 MTJ 메모리 셀 MC 와 결합된다.

2002-0071438

메모리 어레이(10)는, 또한, 비트선 BL1, /BL1 내지 BLm, /BLm의 각각에 대응하여 더미 행을 형성하도록 설치되는 복수의 더미 메모리 셀 DMC를 갖는다.

더미 메모리 셀 DMC의 각각은, 더미 기억부 MTJ와 액세스 트랜지스터 DATR을 갖는다.

더미 메모리 셀 DMC는, 더미 판독 워드선 DRWLO 및 DRWL1 중 어느 한쪽에 의해 선택된다. 더미 판독 워드선 DRWLO에 의해 선택되는 더미 메모리 셀군은, 더미 판독 워드선 DRWLO의 활성화에 응답하여 도통하는 액세스 트랜지스터 DATR을 갖는다. 따라서, 더미 판독 워드선 DRWLO의 활성화에 응답하여, 비트선 BL1~BLm과 기준 전압 배선 SL1~SLm의 각각의 사이에 더미 기억부 MTJ가 전기적으로 결합된다.

한편, 더미 판독 워드선 DRWLO에 의해 선택되고 날은 더미 메모리 셀군은, 더미 판독 워드선 DRWLI의 활성화에 응답하여 도통하는 액세스 트랜지스터 DATR을 갖는다. 따라서, 더미 판독 워드선 DRWLI의 활성화에 응답하여, 비트선 BL1~BLm과 기준 전압 배선 SL1~SLm의 각각의 사이에 더미 기억부 MTJ가 전기적으로 결합된다.

더미 판독 워드선 DRWLO 및 DRWLI는, 비트선상의 한쪽 BL1~BLm 및 다른 쪽 /BL1~/BLm 중, 선택된 메모리 셀 헴에 속하는 메모리 셀 DMC와 비접속이 된 한쪽을, 더미 메모리 셀 DMC와 각각 결합하도록 워드선 드라이버(30)에 의해 선택적으로 활성화된다. 이 결과, 비트선상의 한쪽 BL1~BLm 및 다른 쪽 /BL1~/BLm은 선택된 메모리 셀 행에 대응하는 2개의 MTJ 메모리 셀 및 2개의 더미 메모리 셀의 한쪽과 각각 결합된다.

이미 설명한 바와 같이 메모리 셀 MC의 전기 저항치는, 기억 데이터의 레벨에 따라 변화한다. 여기서, H 레벨('1') 데이터를 기억한 경우에서의 MTJ 메모리 셀의 전기 저항치를 Rh로 하고, L 레벨('0') 데이터를 기억한 경우에서의 메모리 셀 MC의 전기 저항치를 Rl로 하면, 더미 기억부 MTJ의 전기 저항치 Rd는, Rl과 Rh와의 중간 값으로 설정된다. 이에 따라, 더미 메모리 셀 DMC와 결합된 비트선에 생기는 전압 변화와, 메모리 셀 MC와 결합된 비트선에 생기는 전압 변화를 비교함으로써 데이터 판독의 대상이 된, 선택 메모리 셀에서의 기억 데이터의 레벨을 판독할 수 있다.

또한, 데이터 버스 DB와 상보의 데이터 버스 /DB가 배치된다. 데이터 버스 DB 및 데이터 버스 /DB는 데이터 버스상 DB를 구성한다.

데이터 버스 /DB는, 데이터 버스 DB와, 단위 길이당 전기 저항치가 마찬가지가 되도록, 실시예 1에서의 비트선 BL에 대한 기준 전압 배선 SL과 마찬가지로 배치된다.

컬럼 선택 게이트 CSG1~CSGm의 각각은, 데이터 버스 DB 및 /DB와 대응하는 비트선 BL 및 /BL 사이에 각각 전기적으로 결합되는 2개의 트랜지스터 스위치를 갖는다. 이를 트랜지스터 스위치는, 대응하는 컬럼 선택선 CSL의 활성화에 응답하여 온다. 이에 따라, 선택된 메모리 셀 열에 대응하는 비트선상을 구성하는 비트선 BL 및 /BL의 각각에 대하여 데이터 버스 DB, /DB와 컬럼 선택 게이트 CSG를 통해 감지 전류 Is가 데이터 판독 회로(52b)로부터 공급된다.

데이터 판독 회로(52b)는, 두 예에 도시한 데이터 판독 회로(52a)와 비교하여, 저항(168)을 구비하지 않는 점 및, 트랜지스터(64)가 데이터 버스 /DB와 결합되는 노드 Nr2와 노드 Ns2 사이에 전기적으로 결합되는 점이 다르다. 데이터 판독 회로(52b)의 그 밖의 부분의 구성은, 데이터 판독 회로(52a)와 마찬가지이기 때문에 상세한 설명은 반복하지 않는다.

데이터 판독 회로(52b)는, 데이터 버스 DB 및 /DB의 각각에 대하여 동일한 감지 전류 Is를 공급함과 함께 데이터 버스 DB 및 /DB의 각각의 전압 차를 검지 증폭시켜, 데이터 판독률을 실행한다.

이러한 구조으로 할으로써, 실시예 1에 따른 구성에 의해 얻을 수 있는 효과 외에, 쿨드형 비트선 구성에 기초하여 데이터 판독률을 실행할 수 있기 때문에, 데이터 판독 마진을 충분히 확보하는 것이 가능해져서 데이터 판독 동작을 더욱 안정화시킬 수 있다.

또한, 메모리 셀 MC에 대하여 공급되는 감지 전류(도면 중의 Isc)와 더미 메모리 셀 DMC에 대하여 공급되는 감지 전류(도면 중의 Isd)의 각각에 포함되는, 비트선 BL 및 기준 전압 배선 SL의 전기 저항치의 합은 마찬가지기 때문에, 이를 감지 전류를 동일 레벨로 설정하여, 상보적으로 동작시키는 데이터 판독의 마진을 향상시키는 것이 가능해진다.

또, 도 8에서는, 더미 메모리 셀 DMC를, 메모리 어레이(10)의 단부에 배치하는 구성은 나타내었기 때문이다. 메모리 셀 MC와 더미 메모리 셀 DMC로 기준 전압 배선 SL을 공유하여도 큰 지장은 없다. 그러나, 더미 메모리 셀의 배치에 의해 기준 전압 배선의 공유에 지장이 생기는 경우에는, 더미 메모리 셀 DMC용과 노멀 메모리 셀 MC용으로 기준 전압 배선 SL을 독립적으로 배치하는 것도 가능하다.

[실시예 2]

실시예 2에서는, 선택된 메모리 셀 열의 위치에 의존하여, 데이터 버스 DB 상의 감지 전류 경로에서의 저항치의 변동을 방지하는 구성에 대하여 설명한다.

도 8를 참조하면, 실시예 2에 따른 구성에서는 도 2에 도시한 실시예 1에 따른 구성 외에, 의사 데이터 버스 SDB가 배치되는 점이 다르다. 의사 데이터 버스 SDB는 실시예 1에서의 기준 전압 배선 외과 비트선 BL 사이의 관계와 마찬가지로, 데이터 버스 DB 사이에서 단위 길이당 전기 저항치가 동일하게 되도록 배치된다. 의사 데이터 버스 DB는 메모리 어레이(10)를 사이에 두고, 데이터 버스 DB와 반대측의 영역에 행방향을 따라 배치된다.

의사 데이터 버스 SDB는 판독 기준 전압인 절지 전압 Vss와 결합된다.

데이터 판독 회로(52a)와 데이터 버스 DB가 접속되는 영역과, 의사 데이터 버스 SDB와 절지 전압 Vss가 결합되는 영역은, 행 방향을 따라 메모리 어레이(10)를 사이에 두고 상호 반대측에 위치한다.

또한, 의사 데이터 버스 SDB는 기준 전압 배선 SL1~SLm의 각각과 전기적으로 결합된다. 따라서, 각 기

2002-0071438

준 전압 배선 I_{ss} 은 의사 데이터 버스 SDB를 통해 접지 전압 V_{ss}와 결합된다. 의사 데이터 버스 SDB는 각 메모리 셀 열에 공통으로 배치된다. 따라서, 데이터 판독의 고정밀도화를 도모하기 위해서는, 데이터 판독 전류 I_s 미외의 전류가 의사 데이터 버스 SDB를 흐르지 않도록, 각 비트선 BL의 흐리자지 전압을, 판독 기준 전압과 동일 전압, 즉, 접지 전압 V_{ss}로 설정하는 것이 필요하다.

이러한 구조으로 할으로써 선택 메모리 셀 열의 위치가 변화하더라도, 감지 전류 I_{ss} 의 전류 경로에 포함되는, 데이터 버스 DB 및 의사 데이터 버스 SDB의 전기 저항치의 합을 거의 일정하게 유지할 수 있다. 이는, 선택된 메모리 셀 열에 의존하여, 감지 전류 I_{ss} 의 전류치가 변동하는 것을 더욱 방지할 수 있다. 이 결과, 메모리 어레이 내에서 데이터 판독 시의 동작 마진을, 더욱 통일하게 유지할 수가 있다. MRAM 디바이스 전체의 동작 마진을 충분히 확보할 수 있다.

[실시예 2의 변형 예 1]

도 9를 참조하면, 실시예 2의 변형 예 1에 따른 구성에서는, 도 6에 도시한 실시예 1의 변형 예 1에 따른 구성 외에, 도 8과 마찬가지로 의사 데이터 버스 SDB가 또한 배치된다. 인접하는 메모리 셀에 의해 공유 구성을 외에, 도 8과 마찬가지로 의사 데이터 버스 SDB가 또한 배치된다. 인접하는 메모리 셀에 의해 공유 구성을 외에, 도 8과 마찬가지로 의사 데이터 버스 SDB가 또한 배치된다. 그 밖 되는 기준 전압 배선 SL1~SL_n의 각각은 의사 데이터 버스 SDB를 통해 접지 전압 V_{ss}와 결합된다. 그 밖의 부분의 구성을 도 6과 마찬가지로 때문에, 상세한 설명은 반복하지 않는다.

이러한 구조으로 할으로써, 선택된 메모리 셀 열에 의존하여, 감지 전류 I_{ss} 의 전류치가 변동하는 것을 더욱 방지할 수 있다. 이 결과, 실시예 1의 변형 예 1에 따른 효과 외에, 메모리 어레이 내에서 데이터 판독 시의 동작 마진을, 더욱 통일하게 유지할 수 있다.

[실시예 2의 변형 예 2]

도 10을 참조하면, 실시예 2의 변형 예 2에 따른 구성에 있어서는, 도 7에 도시한 실시예 1의 변형 예 2에 따른 구성 외에, 의사 데이터 버스 SDB 및 의사 더미 데이터 버스 SDBd가 더욱 배치된다.

의사 데이터 버스 SDB 및 의사 더미 데이터 버스 SDBd는 메모리 어레이(10)를 사이에 두고, 데이터 버스 DB와 반대쪽의 영역에 행 방향을 따라 배치된다.

의사 데이터 버스 SDB 및 의사 더미 데이터 버스 SDBd의 각각과, 데이터 버스 DB 및 /DB의 각각은, 단위 길이당 전기 저항치가 마찬가지가 되도록, 실시예 1에서의 기준 전압 배선 SL과 비트선 BL 사이의 관계와 마찬가지로 배치된다.

의사 데이터 버스 SDB 및 의사 더미 데이터 버스 SDBd의 각각은, 판독 기준 전압인 접지 전압 V_{ss}와 결합된다. 데이터 판독 회로(SD_b)와 데이터 버스 DB 및 /DB가 접속되는 영역과, 의사 데이터 버스 SDB 및 의사 더미 데이터 버스 SDBd가 접지 전압 V_{ss}가 결합되는 영역은, 행 방향을 따라서, 메모리 어레이(10)를 사이에 두고 상호 반대측에 위치한다.

메모리 셀 MC에 대하여 접지 전압 V_{ss}를 공급하기 위한 기준 전압 배선 SL1~SL_m과, 더미 메모리 셀 DNC에 대하여 접지 전압 V_{ss}를 공급하기 위한 더미 기준 전압 배선 SLd1~SLdm은 독립적으로 배치된다. 또, 더미 기준 전압 배선 SLd1~SLdm을 통칭하는 경우에는, 단순히 부호 SLd를 이용하도록 한다.

의사 데이터 버스 SDB는 기준 전압 배선 SL1~SL_m의 각각과 결합되고, 의사 더미 데이터 버스 SDBd는 더미 기준 전압 배선 SLd1~SLdm의 각각과 결합된다.

각 기준 전압 배선 SL 및 각 더미 기준 전압 배선 SLd는, 각 비트선 BL과 단위 길이당 전기 저항치가 마찬가지가 되도록, 실시예 1에서의 기준 전압 배선 SL과 비트선 BL 사이의 관계와 마찬가지로 형성된다. 그 밖의 부분의 구성을 도 7과 마찬가지로 때문에, 상세한 설명은 반복하지 않는다.

이러한 구조으로 할으로써, 메모리 어레이(10) 내에서, 선택되는 메모리 셀 MC이 속하는 행 및 열의 암발환에 의존하지 않고, 감지 전류 I_{ss} 의 전류 경로에 포함되는 신호 배선의 전기 저항치의 합을 거의 일정치로 유지하여, 감지 전류 I_{ss} 의 변동을 방지할 수 있다.

또한, 메모리 셀 MC에 대하여 공급되는 감지 전류(도면 중의 I_{sc})와, 더미 메모리 셀 DNC에 대하여 공급되는 감지 전류(도면 중의 I_{sd})에 대해서도, 선택되는 메모리 셀 MC가 속하는 행 및 열의 암발환에 의존하지 않고도 통일 레벨로 설정할 수 있기 때문에, 상보적으로 동작시키는 데이터 판독의 마진을 향상시키는 것이 가능해진다.

이 결과, 실시예 1의 변형 예 2에 따른 효과 외에, 메모리 어레이 내에서 데이터 판독 시의 동작 마진을, 더욱 통일하게 유지할 수 있다.

[실시예 3]

도 11을 참조하면, 실시예 3에 따른 구성에서는, 더미 메모리 셀 DNC는 더미 열을 구성하도록 배치된다. 이것에 대응하여, 메모리 어레이(10)에서는 더미 열에 대응하여, 더미 비트선 DBL 및 더미 기준 전압 배선 SLd가 설치된다.

각 기준 전압 배선 SL, 더미 기준 전압 배선 SLd, 각 비트선 BL 및 더미 비트선 DBL은, 단위 길이당 전기 저항치가 마찬가지가 되도록, 실시예 1에서의 기준 전압 배선 SL과 비트선 BL 사이의 관계와 마찬가지로 형성된다. 그 밖의 부분의 구성을 도 7과 마찬가지로 때문에, 상세한 설명은 반복하지 않는다.

데이터 버스상 DBP를 구성하는 데이터선의 한쪽 /DB와, 더미 비트선 DBL 사이에는 컬럼 선택 게이트 CSBd가 배치된다. 컬럼 선택 게이트 CSBd는 컬럼 선택선 CSLd의 활성화에 응답하여 운반된다. 데이터 판독 시에서는, 선택되는 메모리 셀 열에 관계없이, 컬럼 선택선 CSLd는 활성화된다.

이러한 구조으로 할으로써, 더미 메모리 셀 DNC를, 더미 열을 구성하도록 배치하는 경우에서도, 실시예 2의 변형 예 2와 마찬가지로 데이터 판독 동작의 안정화를 도모할 수 있다.

또, 메모리 어레이(10)에서의, 메모리 셀 MC에 대응하는 기준 전압 배선 I_{ss} 의 배치는 실시예 2의 변형 예

2002-0071438

1과 마찬가지로, 인접하는 메모리 셀 행 간에 공유하여 메모리 어레이(10)의 고집적화를 도모할 수 있다.

[실시예 4]

실시예 4에서는, 계층 데이터선 구성을 적용한 데이터 판독에 대하여 설명한다.

도 12는 본 발명의 실시예 4에 따른 MRAM 디바이스의 데이터 판독에 관련된 구성을 나타내기 위한 도면이다.

도 12를 참조하면, 실시예 4에 따른 MRAM 디바이스에서는, 복수의 메모리 어레이가 행렬형으로 배치된다. 이를 메모리 어레이는, 열 방향을 따라 복수의 블록 BLKa, BLKb, …로 분할된다.

도 12에는, 메모리 어레이(10-a1, 10-a2, 10-b1, 10-b2)가 대표적으로 예시된다. 열 방향에 인접하는 메모리 어레이(10-a1 및 10-a2)는 동일한 블록 BLKa에 속한다. 마찬가지로, 메모리 어레이(10-b1 및 10-b2)는 동일한 블록 BLKb에 속한다.

각 블록에 대응하여, 데이터 판독 회로, 글로벌 데이터 버스상 및 의사 글로벌 데이터 버스가 배치된다. 도 12에서는, 블록 BLKa에 대응하는 데이터 판독 회로(53-a), 글로벌 데이터 버스상 GDBPa 및 의사 글로벌 데이터 버스 SGDBa와, 블록 BLKb에 대응하는, 데이터 판독 회로(53-b), 글로벌 데이터 버스상 GDBPb 및 의사 글로벌 데이터 버스 SGDBb가 대표적으로 도시된다.

글로벌 데이터 버스상 GDBPa는 글로벌 데이터 버스 GDB 및 /GDB로 구성된다. 마찬가지로, 글로벌 데이터상 GDBPb는 글로벌 데이터 버스 GDBb 및 /GDBb로 구성된다.

데이터 판독 시에는, 각 블록에서 독립적으로 메모리 셀이 선택된다. 데이터 판독 회로(53-a 및 53-b)의 각각은, 대응하는 글로벌 데이터 버스상을 구성하는 글로벌 데이터 버스의 각각으로 감지 전류 Is를 공급하여 데이터 판독을 실행한다. 데이터 판독 회로(53-a 및 53-b)의 구성 및 동작은, 도 7에 도시한 데이터 판독 회로(52b)와 마찬가지이기 때문에 상세한 설명은 반복하지 않는다.

이하에서는, 글로벌 데이터 버스상, 글로벌 데이터 버스 및 의사 글로벌 데이터 버스를 총괄적으로 표기하는 경우에는, 부호 GDBP, GDB (/GDB) 및 SGDB를 각각 이용하도록 하고, 특정한 글로벌 데이터 버스상, 글로벌 데이터 버스 및 의사 글로벌 데이터 버스를 취급하는 경우에는, 이를 부호에 첨자를 붙여 GDBPa, GDBa (/GDBa) 및 SGDBa와 같이 표기하도록 한다.

글로벌 데이터 버스 GDB, /GDB 및 의사 글로벌 데이터 버스 SGDB는 열 방향을 따라 배치된다. 글로벌 데이터 버스 GDB, /GDB 및 의사 글로벌 데이터 버스 SGDB의 각각은, 단위 길이당 전기 저항치가 마찬가지가 되도록 배치된다.

각 데이터 판독 회로(53)와 각 글로벌 데이터 버스상 GDB가 결합되는 영역과, 각 의사 글로벌 데이터 버스 SGDB와 판독 기준 전압인 접지 전압 Vss가 결합되는 영역은, 행렬형으로 배치되는 메모리 어레이군을 사이에 두고, 상호 반대쪽에 위치한다.

이러한 구조으로 함으로써, 각 블록에서 선택 메모리 셀이 속하는 메모리 어레이의 위치에 의존하지 않고, 데이터 판독 전류의 경로에 포함되는, 글로벌 데이터 버스 GDB (/GDB) 및 의사 글로벌 데이터 버스 SGDB의 전기 저항치의 합을 거의 일정하게 하여, 감지 전류 Is를 일정하게 유지할 수 있다.

메모리 어레이(10-a1, 10-a2, …)의 각각은, 도 10에 도시한 메모리 어레이(10)와 마찬가지의 구성을 갖는다. 따라서, 각각의 메모리 어레이 내 및 그 주변에 배치되는, 복수의 메모리 셀 NC, 비트선 BL, 기준 전압 배선 VDD 및 VSS 및 컬럼 선택 게이트 CSG에 대해서는, 각각을 별도로 구별하지 않고 총괄적인 부호를 이용하여 표기한다.

이들 메모리 어레이의 각각에 대응하여, 대응하는 글로벌 데이터 버스상 GDB와 결합되는 로컬 데이터 버스상 LDB가 설치된다. 각 로컬 데이터 버스상 LDB는 도 10에 도시한 데이터 버스상 DBP에 상동하며, 로컬 데이터 버스 LDB 및 /LDB를 갖는다.

도 12에는, 메모리 어레이(10-a1, 10-a2, 10-b1 및 10-b2)의 각각 대응하여 배치되는, 로컬 데이터 버스상 LDBa1, LDBa2, LDBb1 및 LDBb2가 대표적으로 나타난다.

로컬 데이터 버스상 LDBa1은, 로컬 데이터 버스 LDBa1 및 /LDBa1에 의해 구성된다. 로컬 데이터 버스상 LDBa2는, 로컬 데이터 버스 LDBa2 및 /LDBa2에 의해 구성된다. 로컬 데이터 버스상 LDBb1은 로컬 데이터 버스 LDBb1 및 /LDBb1에 의해 구성된다. 로컬 데이터 버스상 LDBb2는 로컬 데이터 버스 LDBb2 및 /LDBb2에 의해 구성된다.

이하에서는, 이를 로컬 데이터 버스상 및 로컬 데이터 버스를 총칭하는 경우에는, 단순히 부호 LDB 및 LDB (/LDB)를 이용하도록 한다.

각 메모리 어레이에 대응하여 도 7과 마찬가지의 컬럼 선택 게이트 CSG가 메모리 셀 열에 대응하여 각각 배치된다. 컬럼 선택 게이트 CSG는 대응하는 컬럼 선택선 CSL의 활성화에 따라 선택적으로 온한다. 컬럼 선택선 CSL은 행 방향으로 인접하는 메모리 어레이 사이에서 공유할 수 있다.

메모리 어레이 중의 비트선 BL 및 /BL은 대응하는 컬럼 선택 게이트를 통해, 로컬 데이터 버스상 LDBP를 구성하는 로컬 데이터 버스 DBP 및 /DBP의 각각과 전기적으로 결합된다.

이와 같이 데이터 버스를 계층화함으로써, 글로벌 데이터 버스상 GDB 및 로컬 데이터 버스상 LDB의 부하 용량을 저감시켜 데이터 판독률을 고속화할 수 있다.

또한, 각 메모리 어레이에 대응하여 도 7에 도시한 의사 데이터 버스 SDB에 상동하는, 의사 로컬 데이터 버스 SLDB가 배치된다. 도 12에는, 메모리 어레이(10-a1, 10-a2, 10-b1 및 10-b2)의 각각 대응하여 배치되는, 의사 로컬 데이터 버스 SLDBa1, SLDBa2, SLDBb1 및 SLDBb2가 대표적으로 나타난다.

각 의사 로컬 데이터 버스 SLDB는, 로컬 데이터 버스상 LDBP를 구성하는 로컬 데이터 버스 LDB 및 /LDB의

号 2002-0071438

각각과, 단위 김미당 전기 저항치가 마찬가지가 되도록 설계된다.
표기는 생략하고 있지만, 각 메모리 어레이에서 도 100에 도시한, 더미 메모리 셀 DMC, 더미 기준 전압 빼기 및 의사 더미 데이터 버스 SDB에 상등하는 배선이 빼치된다.

따라서, 실시에 2의 변형에 2와 마찬가지로, 각 메모리 어레이 내에서 선택되는 메모리 셀의 위치에 의존하지 않고, 깊지 전류 I_s 를 일정하게 유지할 수 있다. 이 결과, 실시에 4에 따른 바이어스에서는 데이터 버스를 계층화함으로써, 데이터 판독의 고속화를 도모함과 함께 선택되는 메모리 어레이 및 메모리 판독을 실행할 수 있게 된다.

또, 헬렐형으로 배치되는 에모리 어레이의 각각에 대해서는, 실시에 1 내지 3 및 이를 변형예로 나타낸 어느 한쪽의 에모리 어레이(10)의 구성을 적용시키는 것도 가능하다. 그 경우에는 필요에 따라 글로벌 데미터 버스쌍 및 로컬 데미터 버스쌍을, 데미터 버스쌍이 아니라 단선의 데미터선으로서 배치함과 함께 데미터 버스쌍(10)의 구성을 두 개로 나누어 데미터 패들 홍로(52a) 및 마천가지로 하면 된다.

또, 실시예 1 내지 4 및 이들 변형예에서는, 기준 전압 배선 외에 의해 꿈금되는 펌프 기준 전압이 절지되어야 한다는 점을 명시하는 내용을 포함하는 경우에만, 이 펌프 기준 전압은 다른 전압, 즉 전원 Vcc로 하여 전압 Vss인 경우만을 나타내고 있지만, 이 펌프 기준 전압은 다른 전압, 즉 전원 Vcc로 하여 전압 Vss인 경우에는, 더 데이터 펌프 회로(52a, 52b 및 53a)에서, 데이터 버스도 절지된다. 이 경우에는, 더 데이터 펌프 회로(52a, 52b 및 53a)에서 도시된 전압상태와 케이스를 차폐시키게 된다.

[속성] 51

실시에 5에서는, 고집적화에 적합한, 다이오드를 액세스 소자로서 이용한 구성의 메모리 셀을 적용한 경우에 대해서도 예상과 같은 성능을 보여주었다.

도 13을 참조하면, 다이오드를 이용한 HTJ 메모리 셀 MCOD는 자기 터널 접합부 HTJ와, 엑세스 다이오드를 구비한다. 엑세스 다이오드 링은 자기 터널 접합부 HTJ로부터 워드선 WL을 통하는 별향을 순방향으로 구비된다. 비트선 BL은 워드선 WL과 교차하는 별향으로 설치되고, 자기 터널 접합부로 하여 단자간에 결합된다.

MTJ 메모리 셀 MCDD에서 대한 데이터 기입은, 웨이드선 뷰 및 비트선 BIE에 데이터 기입 전류를 흘림으로써 행해진다. 데이터 기입 전류의 분포율은 액세스 트랜지스터를 이용한 메모리 셀의 경우와 마찬가지로, 기입 페터미터에 대한 기입 전류와는 반대로 증가하는 특성을 보인다.

데미터의 레벨에 따라 결정된다. 한편, 데미터 판독 시에는 선택된 메모리 셀에 대응하는 상태로 설정된다. 이 때, 비트선 비을 고전압(예를 들면 세스 디미터 메모리 솔비아이스되어 노동하고, 감지 전류 워드선 V_{LS} 는 저전압(예를 들면 접지 전압 V_{SS}) 전원 전압 V_{CC} 상태로 프리차지해 둘로써 액정을 자기 터널 접합부 TFT로 펼 수 있다.

한편, 비선택적 메모리 셀에 대응하는 워드선 비온, 고전압 상태로 설정되기 때문에, 대응하는 액세스 디바이스는 영상에 반응하지 않는다는 특징을 가지고 있다.

이와 같이 하여, 액세스 디바이스를 이용한 NTJ 메모리 설에서도 데이터 판독 및 데이터 기입을 실행할

도 14를 참조하면, 반도체 주 기판 SUB 상의 n형 영역 NAR과, n형 영역 NAR 상에 설치된 p형 영역 PAR에

따라 액세스 다이오드 애미 형성된다. 액세스 다이오드 M의 캐소드에 상당하는 M형 영역 NAR은 금 속 배선층 M1에 형성된 워드선 W과 결합된다. 액세스 다이오드 M의 애노드에 상당하는 M형 영역 PAR은, 배리어 메탈(140) 및 금속막(150)을 통해 자기 터널 접합부 NTJ와 전기적으로 결합된다. 비트선 B은 금속 배선층 M2에 배치되고, 자기 터널 접합부 NTJ와 접촉된다. 이와 같이, 액세스 트랜지스터를 대신하여 액세스 다이오드를 이용함으로

그러나, 데이터 기입 시에, 워드선 빠 및 비트선 빠에는 데이터 기입 전류가 흐르기 때문에, 이를 배선에 미끄러져 전류가 차단되는 경우가 발생된다. 이러한 전압 강하가 발생된 결과, 워드선 빠 및 비트선 빠 상에서의 전압 폭포에 따라, 데이터 기입의 대상으로 되어 있지 않은 MTJ 메모리 셀의 일부에서, 액세스 디바이스(예: PW) 전압이 올라온다. 이 결과, 예기치 않은 전류가 MTJ 메모리 셀에서, 액세스 디바이스(예: PW) 전압에 의해 유발되는 것이다.

풀 흐름으로서 접촉된 데이터 가설이 충족될 수밖에 없다.
따라서 티스토드를 이용한 풀 흐름과 샘플 디자인은 고려해 놓았다.

다음에, 다이오드를 이용한 MTJ 메모리 셀 MCD는 도 13에 도시한 구성과 마찬가지로, 자기 터널 접합부 MTJ 및 액세스 다이오드 매개를 구비한다. MTJ 메모리 셀 MCD에서는 판독 웨드선 RWL과 기입 웨드선 WBL이 분리하여 배치되는 점이, 도 13에 도시한 MTJ 메모리 셀 MCD의 구성과 다르다. 비트선 BL은 기입 웨드선 WBL 및 판독 웨드선 RWL과 교차하는 방향으로 배치되고, 자기 터널 접합부 MTJ와 전기적으로 연결된다.

액세스 디바이스 매은 자기 터널 접합부 NTJ로부터 광복 워드선 RWL을 향하는 방향을 순방향으로 하여, 양자간에 결합된다. 기입 워드선 WWL은, 다른 배선과 접속되지 않고, 자기 터널 접합부 NTJ와 근접하여 배치된다.

HTJ 메모리 셀 HCD에서는, 데이터 기입 시에 있어서, 판독 워드선 RWn에 전류를 출렁 필요가 없기 때문에, 판독 워드선 RWn의 전압을 안정적으로 고전압 상태(전원 전압 Vcc)로 유지하여, 액세스 다이오드 DM을 활성화시켜 역 바이어스하여 비도통 상태를 유지할 수 있다. 따라서, 도 13에 도시한 HTJ 메모리 셀 HCD와 비교하여 데이터 기입 동작의 미정현상을 도모할 수 있다.

도 16을 협조하면, MTI 에모리 셀 MCDO는 특별한 배선으로서 배치되는 기입 웨드선 뒤에 더욱 구비하는 도 14와는 다른 MTI 에모리 셀 MCDO의 구조와 다르다. 그 밖의 부분의 구조는 도 14와 마찬가

2002-0071438

지이기 때문에, 상세한 설명은 반복하지 않는다. 기입 워드선 RWL은, 예를 들면 판독 워드선 RWL과 동일한 금속 배선층 M1에 형성할 수 있다.

또, 동일 행에 속하는 MTJ 메모리 셀 MCD 사이에서, 액세스 다이오드 M의 캐소드에 상당하는 n형 영역 NARDI리 전기적으로 결합함으로써, 판독 워드선 RWL을 특히 설치하지 않고, 도 15에 도시한 액세스 다이오드 대과 판독 워드선 RWL의 결합 관계를 실현할 수도 있다. 이러한 구성으로 하면, 고집적화 및 동작의 안정화가 양립될 수 있다.

또, 도 13 및 도 15에 각각 도시한 메모리 셀 MCD 및 MCD0는, 데이터 판독에 관한 구성은 동일하기 때문에, 이하에서는, 대표적으로 메모리 셀 MCD를 빠치한 메모리 어레이(10)에서의 데이터 판독의 안정화에 대하여 설명한다. 즉, 이하의 설명에서, 메모리 셀 MCD는 메모리 셀 MCD0로 치환하는 것이 가능하다.

또한, 이하의 설명에서, 다이오드를 이용한 메모리 셀 MCD, MCD0에서도, 액세스 트ران지스터를 이용한 메모리 셀 MC와 마찬가지로, 각 메모리 셀에서의 자기 터널 접합부 MTJ에 상당하는 부분에 대해서는, 기억데이터의 레벨에 따라 전기 저항치가 변화하는 소자로 치환하는 것이 가능하다.

도 17을 참조하면, 메모리 어레이(10)에서, 도 15에 도시한 구성을 갖는 메모리 셀 MCD가 n형 × n형에 행렬형으로 배치된다. 도 17에서는, 데이터 판독 동작과는 관계없는 기입 워드선 RWL의 표기는 생략된다.

워드 드라이버(30)는 판독 워드선 RWL1~RWLn에 각각 대응하여 설치되는, 워드 드라이버 RWD1~RWDn을 갖는다. 이하에서는, 워드 드라이버 RWD1~RWDn을 충칭하는 경우에는, 간단히 워드 드라이버 RWD라고도 표기한다.

워드 드라이버 RWD1~RWDn은 행 디코더(20)로부터의 행 디코드 신호 RD1~RDn에 각각 응답하여 판독 워드선 RWL1~RWLn의 전압 레벨을 설정한다.

행 디코더(20)는 행 디코드 신호 RD1~RDn 중의 선택된 메모리 셀 행에 대응하는 하나를 H 레벨로 활성화 한다.

각 워드 드라이버 RWD는, 예를 들면 인버터로 구성되며, 대응하는 행 디코드 신호의 활성화에 응답하여, 대응하는 판독 워드선 RWL을 판독 기준 전망인 절지 전압 Vss와 견기적으로 결합한다. 이것에 응답하여, 메모리 셀 MCD 내에서 액세스 다이오드 M이 숨바이어스되어 도통하고, 비트선 BL과 절지 전압 Vss로 설정되는 판독 워드선 RWL 사이에 전기적으로 결합되는, 자기 터널 접합부 MTJ로 감지 전류 Is를 즐려, 데이터 판독을 수행할 수 있다.

비트선 BL에 대한 감지 전류 Is의 공급은 도 2와 마찬가지로 배치되는, 데이터 판독 회로(S2a), 데이터 버스 DB, 컬럼 선택 게이트 CSG 및 컬럼 선택선 CSN에 의해 열 선택 결과에 따라 실행된다.

실시예 5에 따른 구성에서는, 판독 워드선 RWL과, 데이터 버스 DB는, 실시예 1에서의 기준 전압 배선 VS과 비트선 BL 사이의 관계와 마찬가지로, 단위 길이당 전기 저항치가 동일한 값이 되도록 배치된다. 또한, 워드 드라이버 워드 드라이버 RWD 1~RWDn이 배치되는 영역과, 메모리 어레이(10)를 사이에 두고 반대측(행 방향)에서, 데이터 버스 DB와 데이터 판독 회로(S2a)는 결합된다.

이러한 구성으로 할으로써 선택된 메모리 셀 M의 위치에 상관없이, 감지 전류 Is의 전류 경로에 포함되는, 데이터 버스 DB 및 판독 워드선 RWL의 전기 저항치의 합을 거의 일정하게 유지하여, 감지 전류 Is의 변동을 방지할 수 있다.

이에 따라, 고집적화에 적합하고, 다이오드를 이용한 메모리 셀을 행렬형으로 배치하는 메모리 어레이 내에서도, 선택된 메모리 셀 열에 의존하지 않고 데이터 판독 마진을 동일하게 유지하여 데이터 판독을 안정화할 수 있다.

[실시예 5의 변형 예 1]

도 18을 참조하면, 실시예 5의 변형 예 1에 따른 구성에서는 도 17에 도시한 실시예 5에 따른 구성 외에, 판독 기준 전망인 절지 전압 Vss를 공급하기 위한 기준 전압 배선 SMI 더욱 설치된다. 기준 전압 배선 SMI은 비트선 BL과 단위 길이당 전기 저항치가 마찬가지의 값이 되도록, 실시예 1에서의 기준 전압 배선 SL과 비트선 BL 사이의 관계와 마찬가지로 배치된다.

기준 전압 배선 SMI은, 열 방향을 따라 배치되고, 비트선 BL이 데이터 버스 DB와 결합되는 영역, 즉 컬럼 선택 게이트 CSG가 배치되는 영역과, 메모리 어레이(10)를 사이에 두고 반대측(열 방향)에 있어서, 절지 전압 Vss와 결합된다.

각 워드 드라이버 RWD는 대응하는 판독 워드선 RWL을 활성화하는 경우에는, 해당 판독 워드선 RWL을 기준 전압 배선 SMI과 전기적으로 결합한다. 그 뒤의 부분의 구성은, 도 17과 마찬가지이기 때문에 상세한 설명은 반복하지 않는다.

이러한 구성으로 할으로써, 다이오드를 이용한 메모리 셀을 행렬형으로 배치한 메모리 어레이(10)에서도, 선택된 메모리 행의 위치에 관계없이, 감지 전류 Is의 전류 경로에 포함되는, 비트선 BL 및 기준 전압 배선 SMI의 전기 저항치의 합을 거의 일정하게 유지하여, 감지 전류 Is의 변동을 방지할 수 있다.

또한, 실시예 5와 마찬가지로, 데이터 버스 DB 및 판독 워드선 RWL의 전기 저항치를 설계함으로써, 선택된 메모리 셀의 위치에 관계없이, 메모리 어레이 내에서 데이터 판독 시의 동작 마진을 동일하게 유지할 수 있어, MRAM 디바이스 전체의 동작 마진을 충분히 확보할 수 있다.

[실시예 5의 변형 예 2]

실시예 5의 변형 예 2에서는, 실시예 5의 변형 예 1의 구성 외에, 줄드형의 비트선 구성이 적용된다.

도 19를 참조하면, 메모리 어레이(10)에서, 메모리 셀 MCD 및 더미 메모리 셀 MCD0가, 도 7에 도시한 메모리 셀 MC 및 더미 메모리 셀 MCD와 마찬가지로, 판독 워드선 군과 더미 판독 워드선 DRWLO 및 DRWL1을

2002-0071 438

따라 배치된다.

더미 메모리 셀 MCO의 각각은, 더미 메모리 셀 MCO와 마찬가지의 더미 기억부 MTJ 및, 비트선 BL 및 /BL의 한쪽과 더미 판독 워드선 RWL 혹은 DRW1 사이에 더미 기억부 MTJ와 직렬로 결합되는 액세스 다이 오드 MDD를 갖는다.

도 19에서는, 제J번째 및(J+1)번째의 메모리 셀 행에 대응하는 판독 워드선 RWL 및 RWL+1과, 이를에 대응하는 워드 드라이버 RDJ 및 RDJ+1이 대표적으로 도시된다. 또한, 더미 판독 워드선 DRWL 및 DRWL+1에 각각 대응하여, 더미 워드 드라이버 RWD0 및 RWD1이 배치된다.

도 18에 도시한 구성과 마찬가지로, 이를 워드 드라이버는 공통의 기준 전압 배선 SL과 전기적으로 결합됨으로써 활성화되고, 점지 전압 Vss가 공급된다.

비트선 BL과 비트선상을 구성하는, 상보의 비트선 /BL은, 비트선 BL 및 기준 전압 배선 SL의 각각과, 단위 길이당 저항치가 마찬가지의 값이 되도록 배치된다. 이러한 구성으로 힘으로써 고정적화에 적합한, 메모리 셀 MC를 배치하는 경우에도, 품질형의 비트선 구성에 기초하여 데이터 판독 동작 마진을 확보하여, 데이터 판독 동작을 더욱 도모할 수 있다.

또한, 메모리 셀 MC로 공급되는 감지 전류(도면 중의 Isd)와, 더미 메모리 셀 MCO로 공급되는 감지 전류(도면 중의 Isd)에 대해서도, 선택되는 메모리 셀 MC가 속하는 행 및 열의 양방향에 의존하지 않고 동일 레벨로 설정할 수 있기 때문에, 상보적으로 동작시키는 데이터 판독의 마진을 확장시킬 수 있다.

또, 모든 조합에 대한 도시는 생략하지만, 실시예 1 내지 4 및 이를 범형예에서, 메모리 셀 MC를 대신하여 액세스 다이오드를 이용한 메모리 셀 MCO 혹은 MC0를 배치할 수 있다.

이번 개시된 실시예는 모든 점에서 예시이며 제한적인 것은 아니라고 생각되어야 한다. 본 발명의 범위는 상기한 설명이 아니라 특허청구범위에서 설명되며, 특허청구범위와 균등한 의미 및 범위 내에서의 모든 변경이 포함되는 것이 의도된다.

3.7) 청구의 조건

본 발명은 MSA 디바이스로 대표되는 기억 데이터의 레벨에 따라 전기 저항치가 변환하는 메모리셀을 구비한 기억 장치에서 선택되는 메모리 셀 위치에 의존하지 않고, 데이터 판독 마진을 통일하게 유지하여 데이터 판독 동작을 안정화할 수 있다.

(37) 청구의 조건

청구항 1

기억 장치에 있어서,

행렬형으로 배치된 복수의 메모리 셀(MC)을 갖는 메모리 어레이(10)와,

상기 메모리 셀의 행에 각각 대응하여 설치되고, 상기 데이터 판독 시에 행 선택 결과에 따라 선택적으로 활성화되는 복수의 판독 워드선(RWL)과,

상기 메모리 셀의 열에 각각 대응하여 설치되는 복수의 비트선(BL)과,

상기 복수의 비트선과 동일 방향을 따라 상기 열에 대응하여 배치되고, 판독 기준(Vss)을 공급하기 위한 복수의 기준 전압 배선(SL)과,

상기 데이터 판독 시에, 상기 판독 기준 전압과의 사이에 형성되는 전류 경로로 흐르는 데이터 판독 전류(Is)를, 상기 복수의 비트선 중의 열 선택 결과에 따라 선택되는 적어도 하나에 공급하기 위한 데이터 판독 회로(52a, 52b, 53-a, 53-b)

를 구비하며,

상기 복수의 메모리 셀의 각각은,

기억 데이터의 레벨에 따라 전기 저항치가 변환하는 기억부(MTJ)와,

상기 복수의 비트선 중의 대응하는 1개와 상기 복수의 기준 전압 배선 중의 대응하는 1개와의 사이에서 상기 기억부와 직렬로 전기적으로 결합되어, 상기 복수의 판독 워드선 중의 대응하는 1개의 활성화에 응답하여 도용하는 메모리 셀 선택 게이트(ATR)를 포함하고,

상기 데이터 판독 시에 선택 열에 대응하는 기준 전압 배선 및 상기 선택 열에 대응하는 비트선 중, 상기 전류 경로에 포함되는 부분의 전기 저항치의 총합은 상기 행 선택 결과에 의존하지 않고 거의 일정한 것임을 특징으로 하는 기억 장치.

청구항 2

기억 장치에 있어서,

행렬형으로 배치된 복수의 메모리 셀(MC)을 갖는 메모리 어레이(10)와,

상기 메모리 셀의 행에 각각 대응하여 설치되며, 상기 데이터 판독 시에 행 선택 결과에 따라 선택적으로 활성화되는 복수의 판독 워드선(RWL)과,

상기 메모리 셀의 열에 각각 대응하여 설치되는 복수의 비트선(BL)과,

2002-0071438

상기 복수의 비트선과 동일 방향을 따라 상기 열에 대응하여 배치되어, 판독 기준 전압(Vss)을 공급하기 위한 복수의 기준 전압 배선(SL)과,

상기 메모리 어레이와 인접한 영역에, 상기 복수의 판독 워드선과 동일 방향을 따라 배치되는 데이터 버스(DB)와,

상기 데이터 판독 시에, 살기 판독 기준 전압과의 사이에 형성되는 전류 경로로 흐르는 데이터 판독 전류(1s)를, 상기 데이터 버스로 공급하기 위한 데이터 판독 회로(52a, 52b, 53-a, 53-b)와,

상기 복수의 비트선 중, 열 선택 결과에 따라 선택되는 1개와 상기 데이터 버스를 전기적으로 결합하기 위한 열 선택부(CS&I-CS&n)와,

상기 메모리 어레이를 사이에 두고 상기 데이터 버스와 반대측의 영역에서, 상기 데이터 버스와 동일 방향을 따라 배치되는 의사 데이터 버스(SDB)

를 구비하며,

상기 의사 데이터 버스는, 상기 판독 기준 전압 및 각 상기 기준 전압 배선과 전기적으로 결합되고,

상기 복수의 메모리 셀의 각각은,

기억 데이터의 레벨에 따라 전기 저항치가 변화하는 기억부(MTJ)와,

상기 복수의 비트선 중 대응하는 1개 및 상기 복수의 기준 전압 배선 중의 대응하는 1개와의 사이에서 살기 기억부와 직렬로 전기적으로 결합되며, 상기 복수의 판독 워드선 중 대응하는 1개의 활성회에 응답하여 대응하는 메모리 셀 선택 게이트(ATR)를 포함하여,

상기 데이터 판독 시에, 살기 데이터 버스 및 상기 의사 데이터 버스 중의 상기 전류 경로에 포함되는 부분의 전기 저항치의 총합은 상기 열 선택 결과에 의존하지 않고 거의 일정한 것을 특징으로 하는 기억 장치.

청구항 3

기억 장치에 있어서,

행렬형으로 배치된 복수의 메모리 셀(MC)을 갖는 메모리 어레이(10)와,

상기 메모리 셀의 행에 각각 대응하여 설치되는 복수의 워드선(RW, RL)과,

상기 메모리 셀의 열에 각각 대응하여 설치되는 복수의 비트선(BL)과,

상기 메모리 어레이와 인접하는 영역에 상기 복수의 비트선과 동일 방향을 따라 배치되는, 판독 기준 전압(Vss)을 공급하기 위한 기준 전압 배선(SL)과,

상기 복수의 워드선에 각각 대응하여 배치되어, 각각이, 상기 데이터 판독 시에, 상기 복수의 워드선 중의 대응하는 1개를 행 선택 결과에 따라 상기 기준 전압 배선과 전기적으로 결합하기 위한 복수의 워드드라이버(RWD1-RWDn)와,

상기 데이터 판독 시에, 살기 판독 기준 전압과의 사이에 형성되는 전류 경로로 흐르는 데이터 판독 전류(1s)를, 상기 복수의 비트선 중의 열 선택 결과에 따라 선택되는 적어도 1개에 대하여 공급하기 위한 데이터 판독 회로(52a, 52b, 53-a, 53-b)

를 구비하며,

상기 복수의 메모리 셀의 각각은,

기억 데이터의 레벨에 따라 전기 저항치가 변화하는 기억부(MTJ)와,

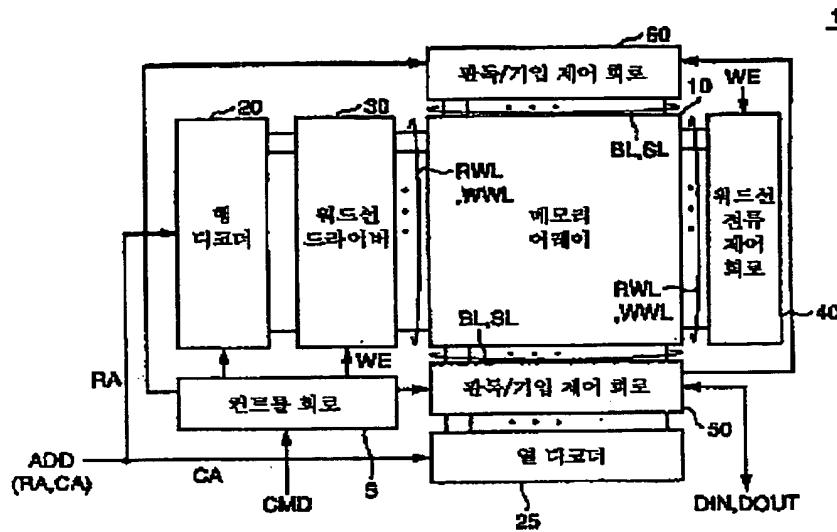
대응하는 1개의 비트선 및 대응하는 1개의 워드선 중의 사이에서 살기 기억부와 직렬로 전기적으로 결합되고, 살기 대응하는 워드선이 상기 판독 기준 전압과 결합된 경우에 도통하는 정류 소자(M)를 포함하고,

상기 데이터 판독 시에, 선택 열에 대응하는 비트선과 상기 기준 전압 배선 중의, 상기 전류 경로에 포함되는 부분의 전기 저항치의 총합은 상기 행 선택 결과에 의존하지 않고 거의 일정한 것을 특징으로 하는 기억 장치.

5-2

특 2002-0071438

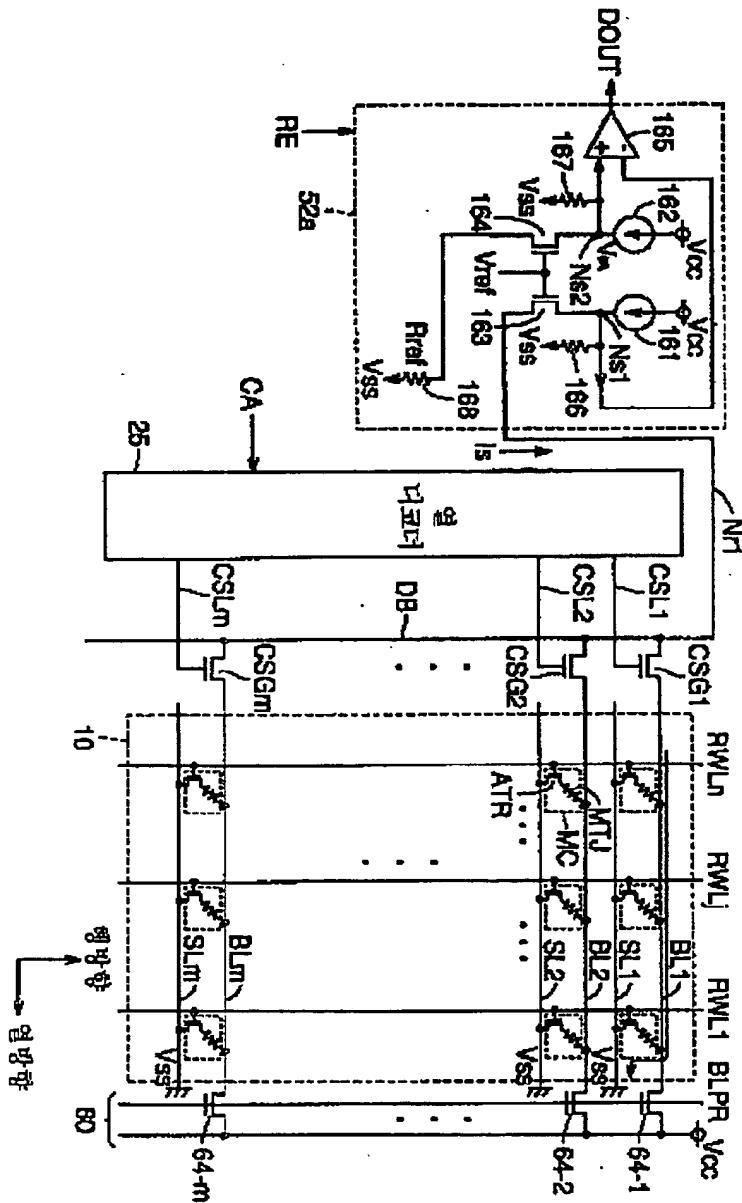
도면1



35-17

2002-0071436

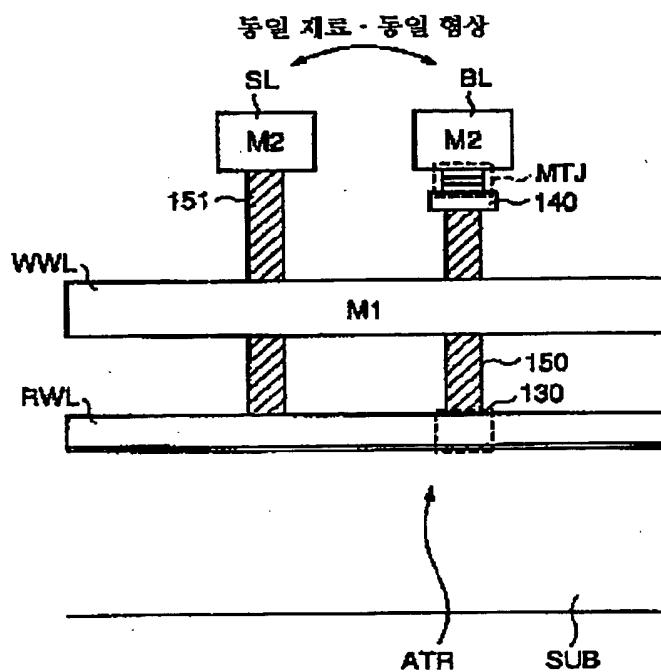
522



35-18

2002-0071438

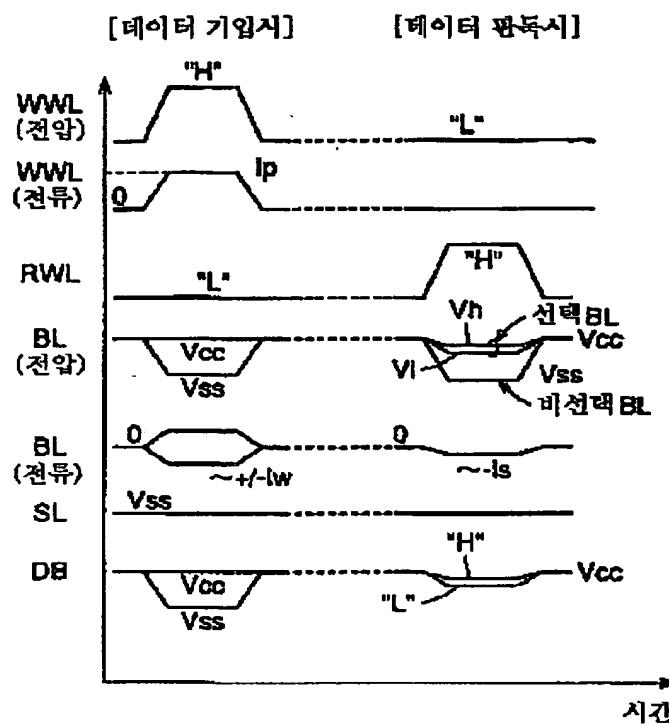
도면



35-19

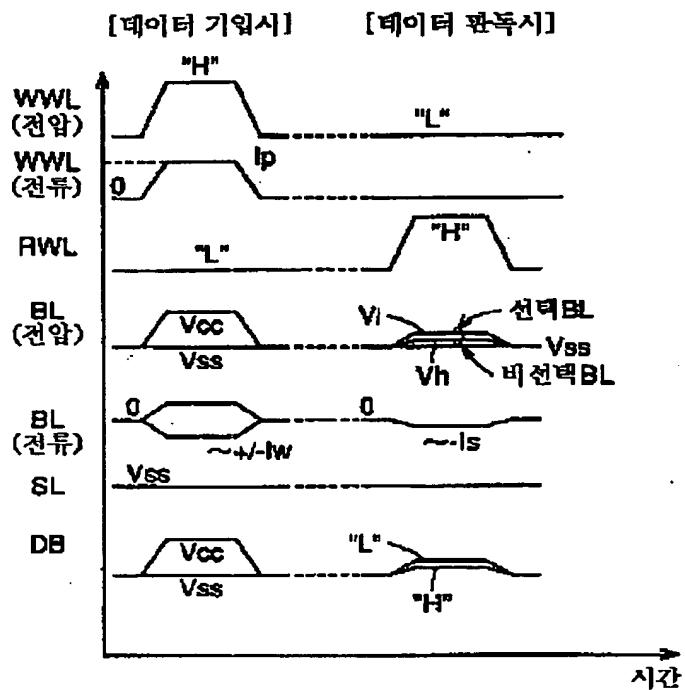
 2002-0071438

584

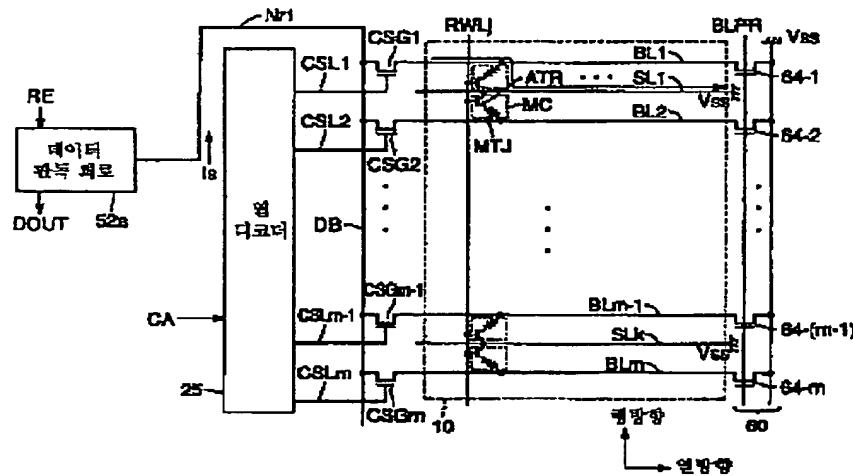


2002-0071438

도면5



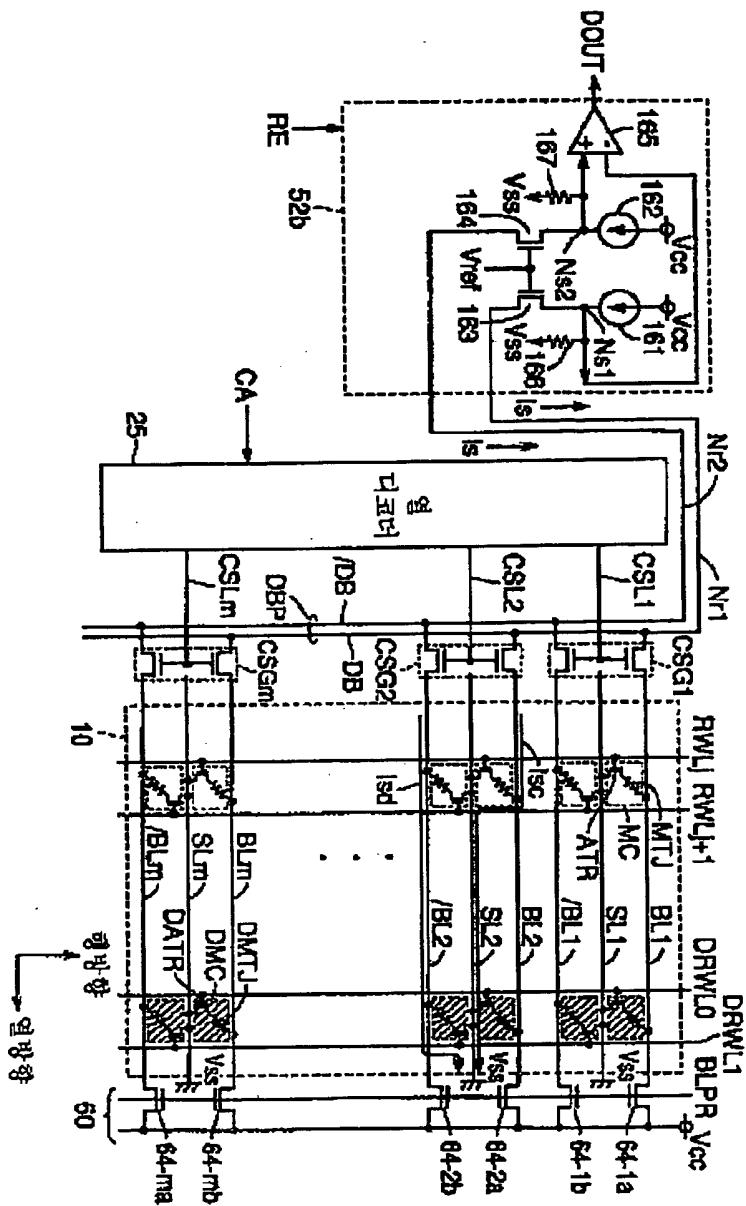
도면6



35-21

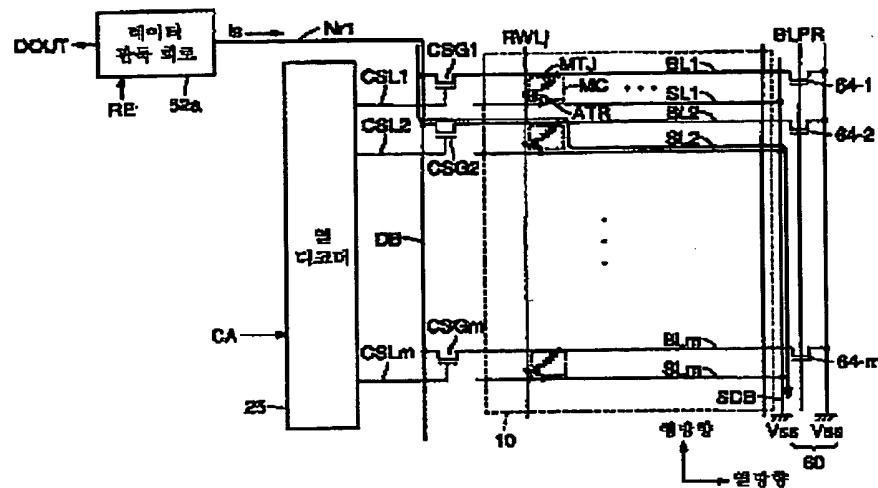
2002-0071438

도면7



2002-0071438

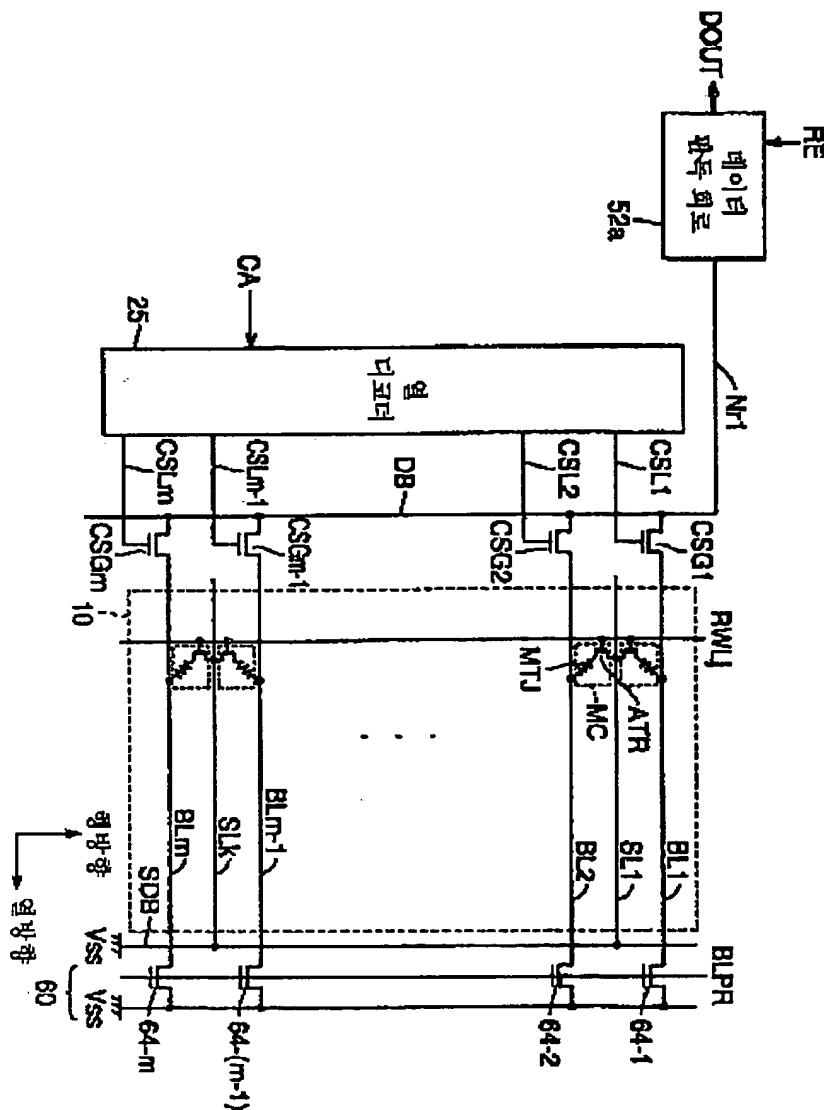
도면



35-23

2002-0071438

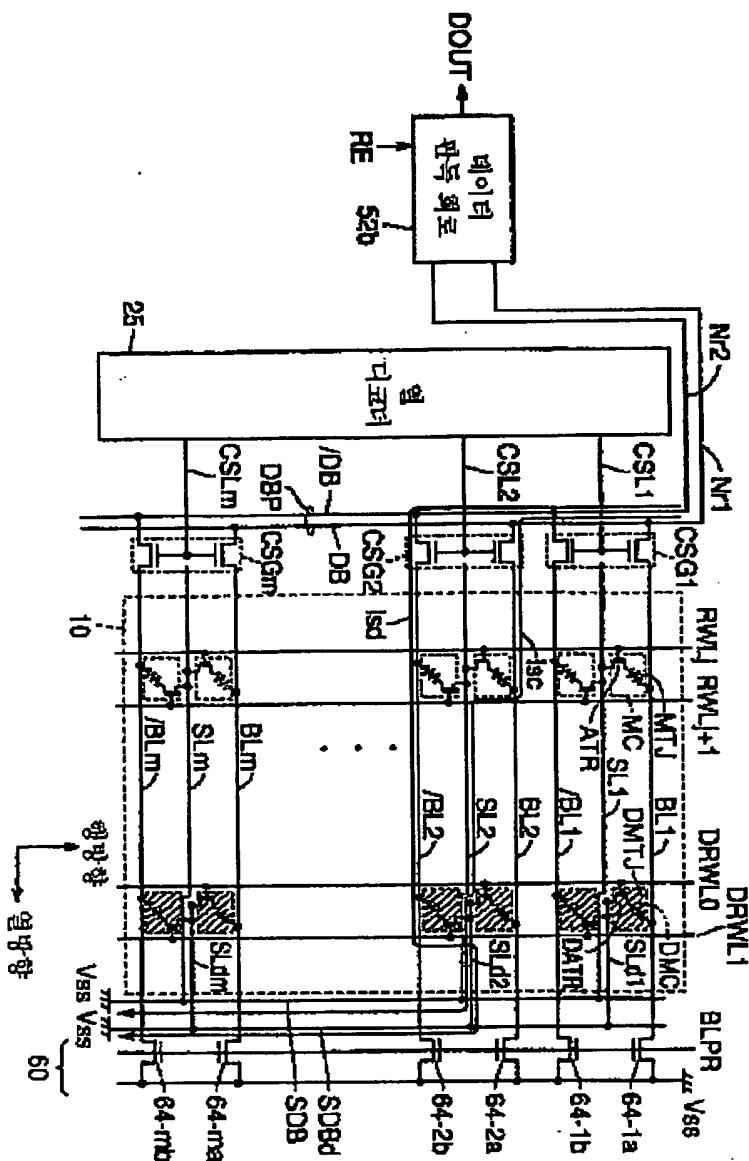
도면



35-24

2002-0071438

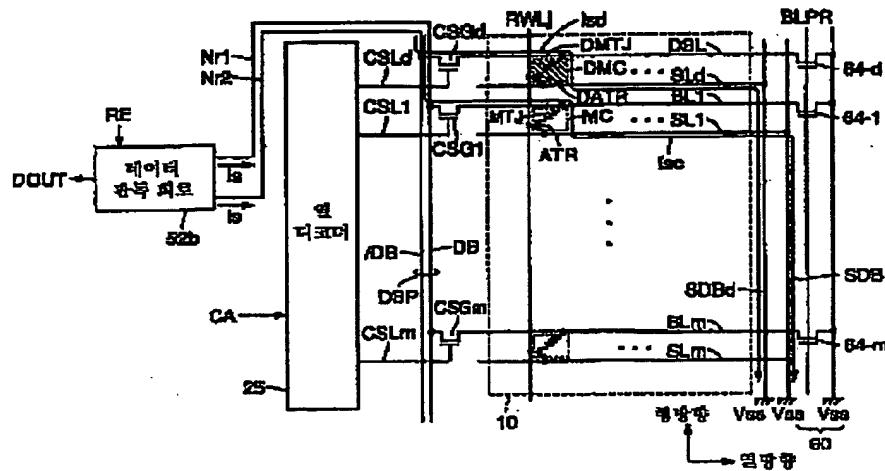
DRAFT



35-25

2002-0071438

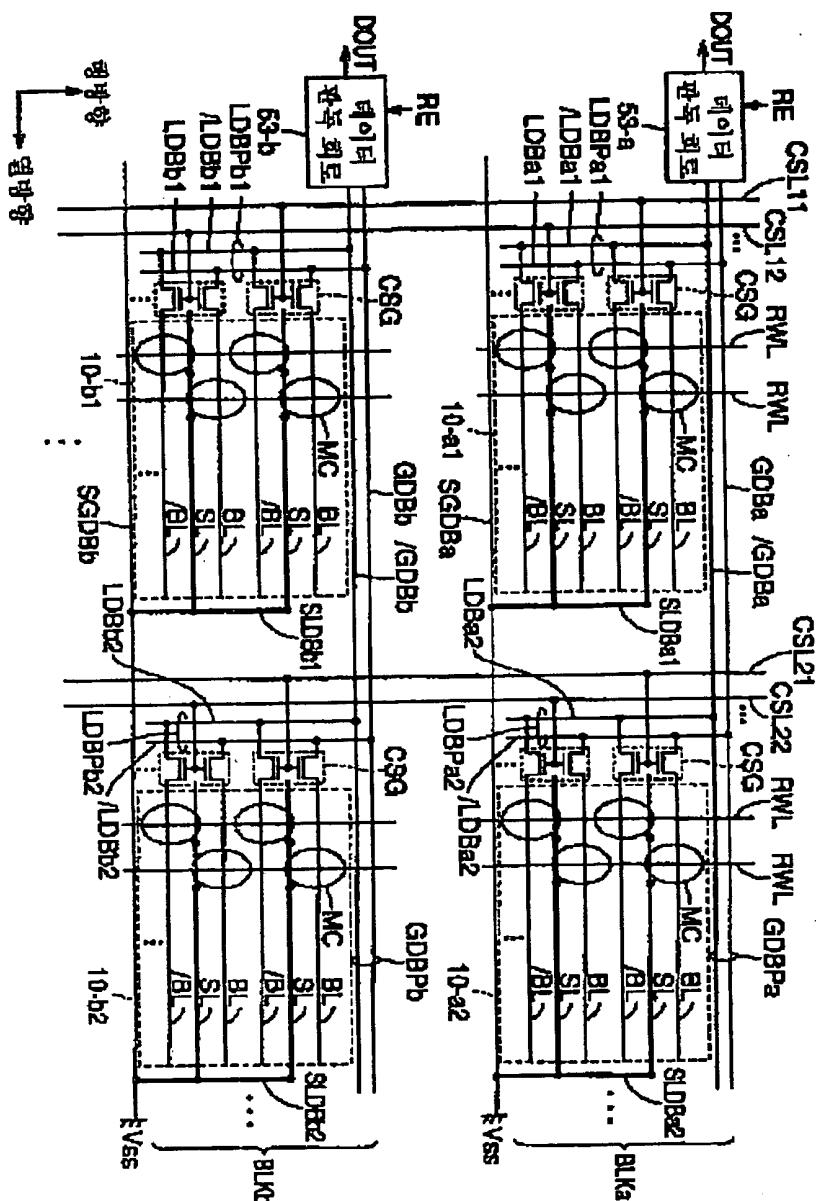
도면 11



35-26

2002-0071438

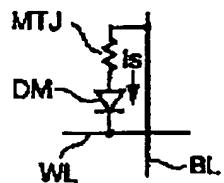
도록



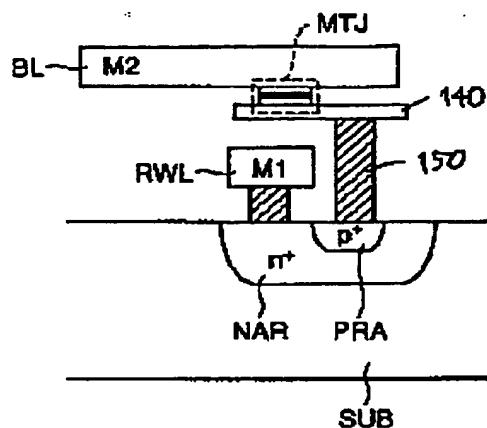
35-27

2002-0071438

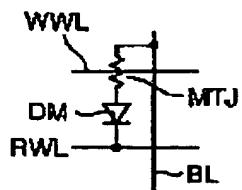
5813

MCDD

5814

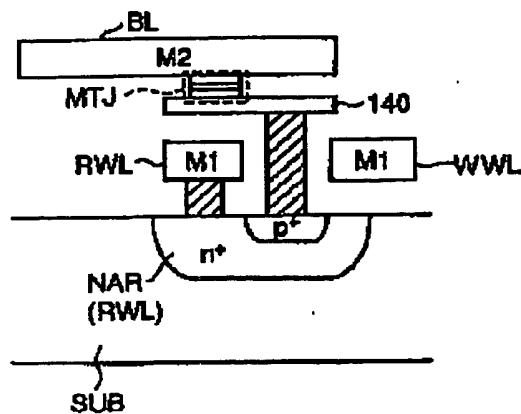


5815

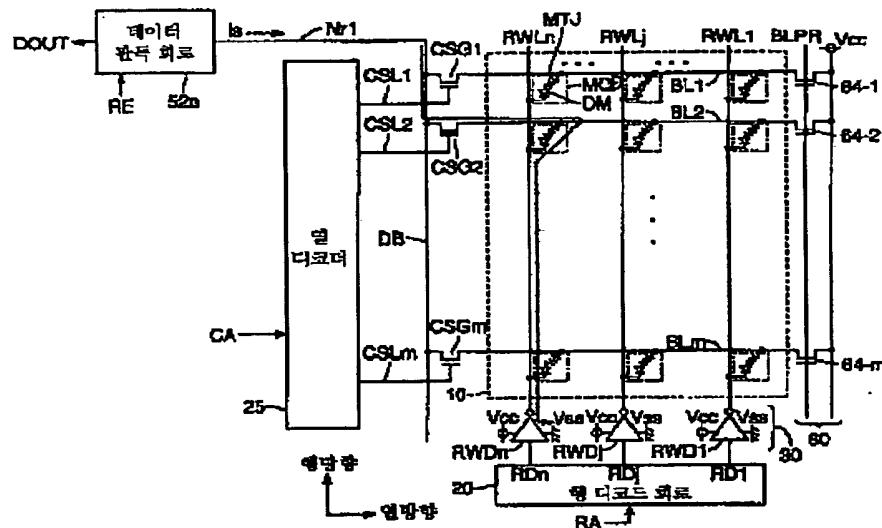
MCD

号2002-0071438

5810

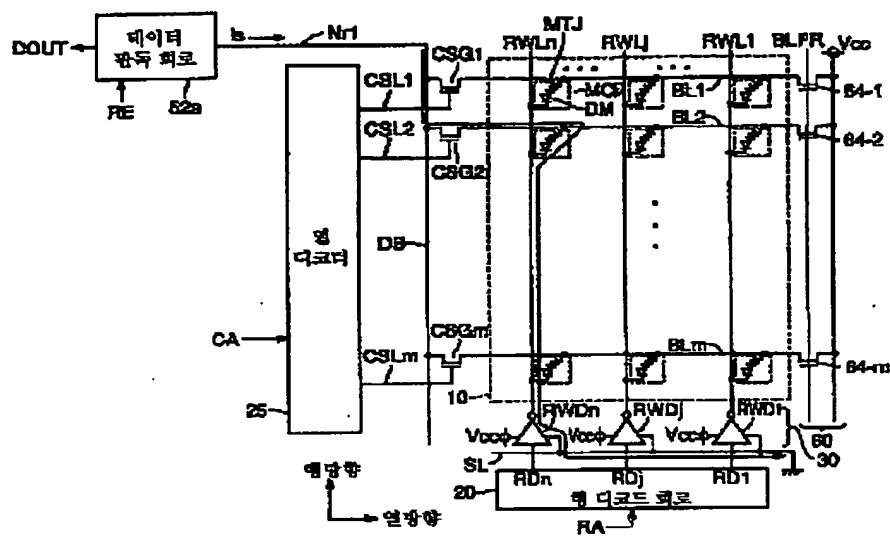


五四八



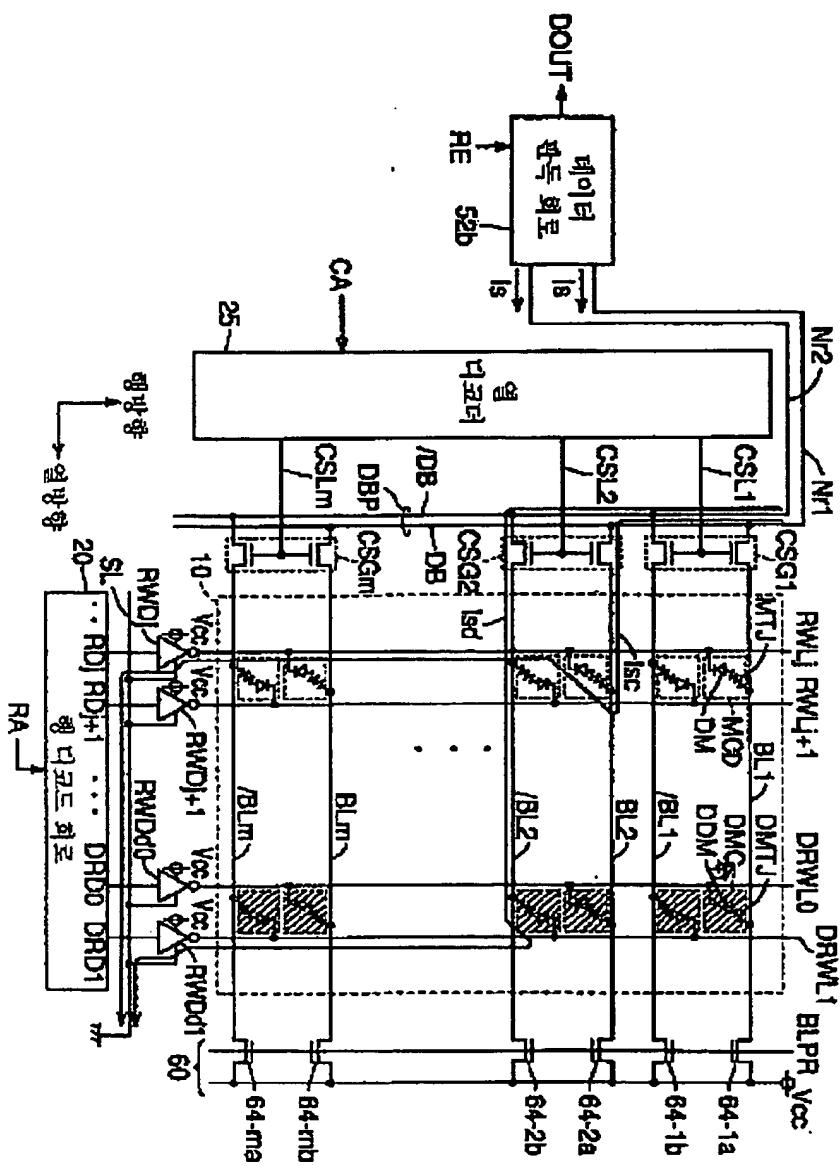
2002-0071438

도면10



号2002-0071438

도장19



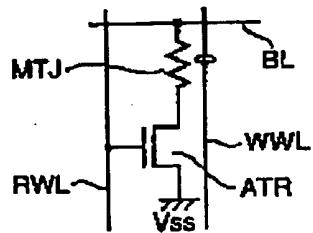
35-31

2002-0071438



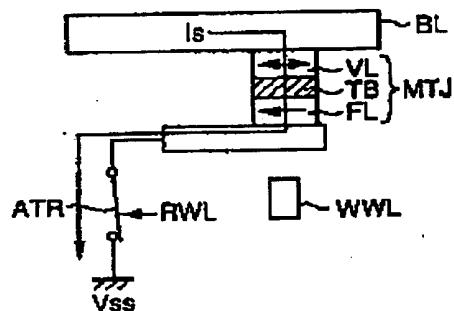
도면20

(종래 기술)



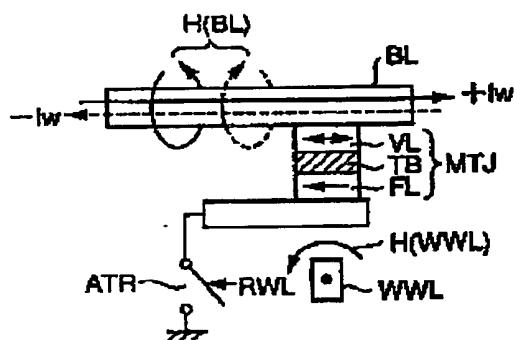
도면21

(종래 기술)



도면22

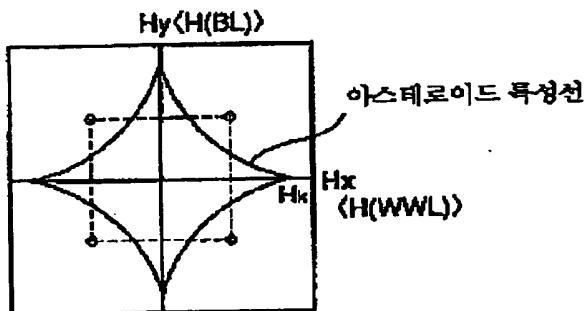
(종래 기술)



2002-0071438

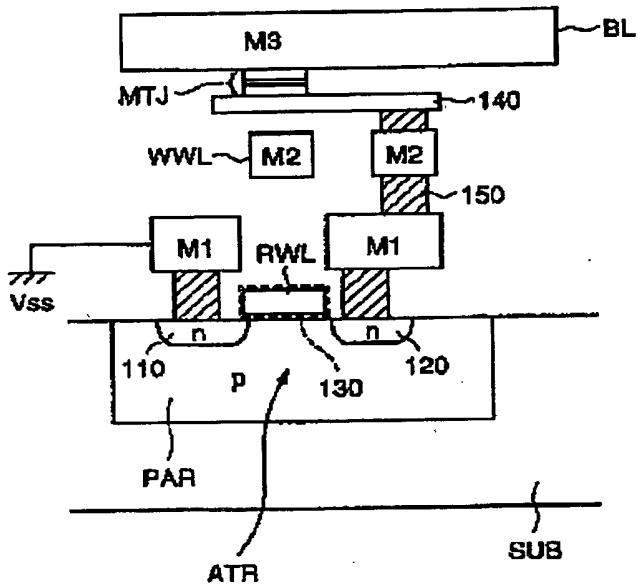
도면23

(종래 기술)



도면24

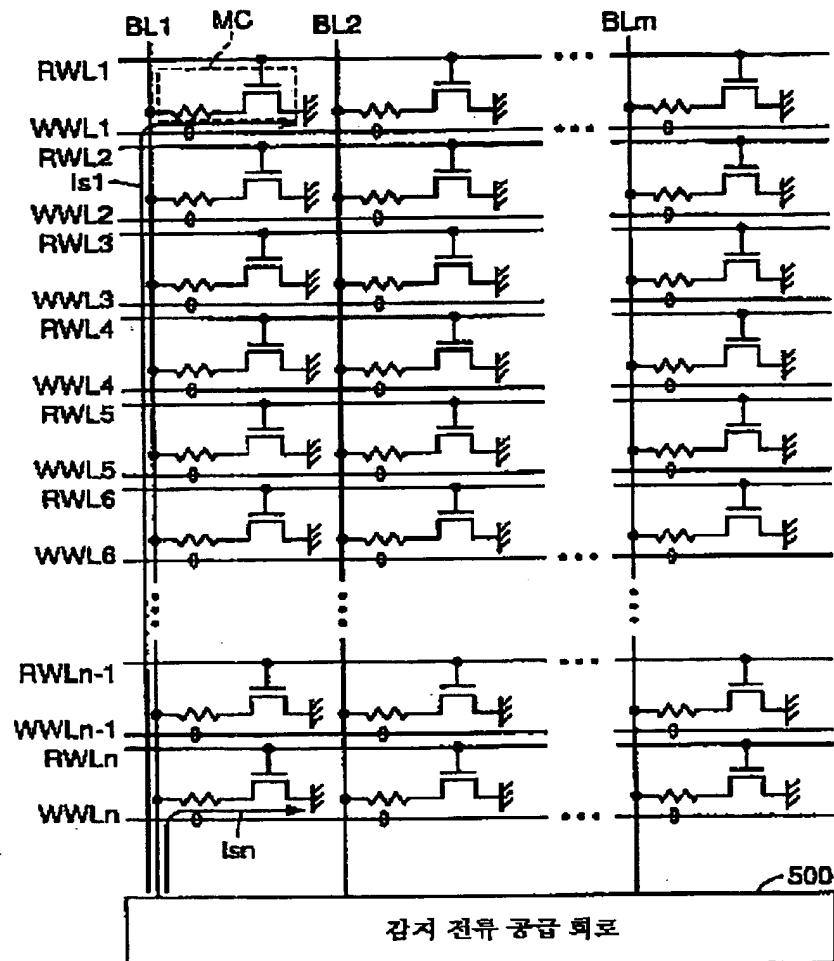
(종래 기술)



2002-0071438

5.25

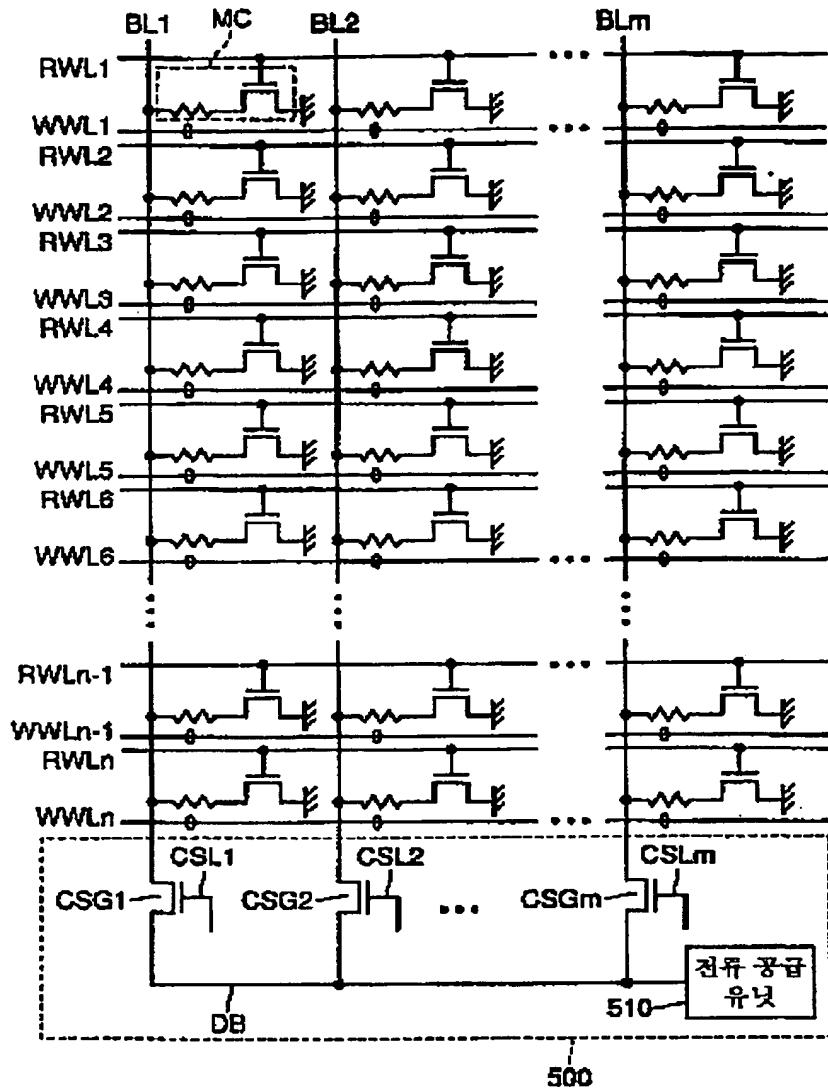
(종래 기술)



2002-0071438

도면

(종래 기술)



35-35

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.